

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

07683841 **Image available**

METHOD OF DRIVING LIGHT EMITTING DEVICE

PUB. NO.: 2003-177712 [JP 2003177712 A]

PUBLISHED: June 27, 2003 (20030627)

INVENTOR(s): KIMURA HAJIME

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2002-238842 [JP 20022238842]

Division of 2002-238337 [JP 20022238337]

FILED: August 19, 2002 (20020819)

PRIORITY: 2001-258936 [JP 2001258936], JP (Japan), August 29, 2001
(20010829)

INTL CLASS: G09G-003/30; G09G-003/20; H05B-033/14

ABSTRACT

PROBLEM TO BE SOLVED: To provide a method of driving a light emitting device capable of obtaining a constant luminance without being influenced by temperature change.

SOLUTION: A current mirror circuit which is formed by using first and second transistors is provided for each pixel. The transistors of the circuit are connected so that their drain currents are kept at approximately equal values regardless of load resistance. By controlling the OLED driving current employing the circuit, occurrence of variation in the OLED driving current caused by the characteristics of the transistors is prevented and constant luminance is obtained without being influenced by temperature change.

COPYRIGHT: (C) 2003, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-177712

(P 2 0 0 3 - 1 7 7 7 1 2 A)

(43) 公開日 平成15年6月27日(2003.6.27)

(51) Int. Cl. 7	識別記号	F I	テ-マコード (参考)
G09G 3/30		G09G 3/30	K 3K007
			J 5C080
3/20	611	3/20	H
	624		B
	641		D

審査請求 未請求 請求項の数12 O L (全52頁) 最終頁に続く

(21) 出願番号 特願2002-238842 (P 2002-238842)
(62) 分割の表示 特願2002-238337 (P 2002-238337) の
分割
(22) 出願日 平成14年8月19日 (2002.8.19)
(31) 優先権主張番号 特願2001-258936 (P 2001-258936)
(32) 優先日 平成13年8月29日 (2001.8.29)
(33) 優先権主張国 日本 (J P)

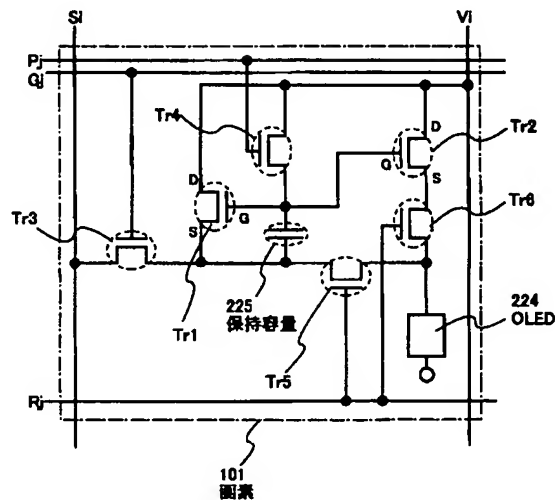
(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 木村 肇
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内
Fターム(参考) 3K007 AB14 AB17 BA06 DB03 GA04
5C080 AA06 BB05 DD05 EE19 EE28
FF11 JJ02 JJ03 JJ04 JJ06
KK07 KK43 KK47

(54) 【発明の名称】 発光装置の駆動方法

(57) 【要約】

【課題】 温度変化に左右されずに一定の輝度を得ることができる発光装置の駆動方法を提供する。

【解決手段】 第1のトランジスタと第2のトランジスタを用いて形成されたカレントミラー回路を各画素に設ける。該カレントミラー回路が有する第1のトランジスタと第2のトランジスタは、負荷抵抗の値によらず、そのドレイン電流がほぼ等しい値に保たれるように接続されている。そして該カレントミラー回路を用いてOLED駆動電流を制御することで、トランジスタの特性によってOLED駆動電流が左右されるのを抑え、また、温度変化に左右されずに一定の輝度を得ることができる。



【特許請求の範囲】

【請求項 1】発光素子が備えられた画素を複数有する発光装置の駆動方法であって、

第 1 の期間において、ビデオ信号によって定められた電流を画素に供給し、前記画素が有する第 1 の手段によって、前記供給された電流を電圧に変換し、

第 2 の期間において、前記画素が有する第 1 の手段によって、前記変換された電圧に応じた大きさの第 1 の電流を前記発光素子に供給し、なおかつ前記画素が有する第 2 の手段によって、前記変換された電圧に応じた大きさの第 2 の電流を前記発光素子に供給することを特徴とする発光装置の駆動方法。

【請求項 2】発光素子が備えられた画素を複数有する発光装置の駆動方法であって、

第 1 の期間において、ビデオ信号によって定められた電流を画素に供給し、前記画素が有する第 1 の手段によって、前記供給された電流を電圧に変換し、なおかつ前記変換された電圧に応じた大きさの第 1 の電流を前記発光素子に供給し、

第 2 の期間において、前記画素が有する第 1 の手段によって、前記変換された電圧に応じた大きさの第 3 の電流を前記発光素子に供給し、なおかつ前記画素が有する第 2 の手段によって、前記変換された電圧に応じた大きさの第 2 の電流を前記発光素子に供給することを特徴とする発光装置の駆動方法。

【請求項 3】1 フレーム期間に第 1 の期間と第 2 の期間とが出現する発光装置の駆動方法であって、

前記第 1 及び前記第 2 の期間において、前記発光装置が有する第 1 のトランジスタと第 2 のトランジスタは、ゲートが互いに接続され、かつ前記第 1 及び前記第 2 のトランジスタのソースに一定の電圧が印加され、

前記第 1 の期間において、前記第 1 のトランジスタのゲートとドレインが接続され、かつ前記第 2 のトランジスタのドレインが発光素子の画素電極に接続され、前記第 2 の期間において、前記第 1 及び前記第 2 のトランジスタのドレインが前記発光素子の画素電極に接続されており、なおかつ前記第 1 のトランジスタのゲートとドレインが分離していることを特徴とする発光装置の駆動方法。

【請求項 4】1 フレーム期間に第 1 の期間と第 2 の期間とが出現する発光装置の駆動方法であって、

前記第 1 及び前記第 2 の期間において、前記発光装置が有する第 1 のトランジスタと第 2 のトランジスタのゲートが互いに接続され、前記第 1 のトランジスタと前記第 2 のトランジスタのソースが互いに接続され、かつ前記第 1 のトランジスタのドレインに一定の電圧が印加され、

前記第 1 の期間において、前記第 2 のトランジスタのドレインがフローティングの状態になり、かつ前記第 1 のトランジスタのゲートとドレインが接続され、

前記第 2 の期間において、前記第 2 のトランジスタのドレインに前記一定の電圧が印加され、前記第 1 のトランジスタのゲートとドレインが分離しており、なおかつ前記第 1 及び前記第 2 のトランジスタのソースが発光素子の画素電極に接続されていることを特徴とする発光装置の駆動方法。

【請求項 5】1 フレーム期間に第 1 の期間と第 2 の期間とが出現する発光装置の駆動方法であって、

前記第 1 及び前記第 2 の期間において、前記発光装置が有する第 1 のトランジスタと第 2 のトランジスタのゲートが互いに接続され、前記第 1 のトランジスタと前記第 2 のトランジスタのドレインが互いに接続され、かつ前記第 1 及び前記第 2 のトランジスタのドレインに一定の電圧が印加され、

前記第 1 の期間において、前記第 1 及び前記第 2 のトランジスタのゲートが前記第 1 及び前記第 2 のトランジスタのドレインと接続され、

前記第 2 の期間において、前記第 1 及び前記第 2 のトランジスタのソースが発光素子の画素電極に接続されていることを特徴とする発光装置の駆動方法。

【請求項 6】請求項 3 乃至請求項 5 のいずれか 1 項において、前記第 1 の期間において前記第 1 のトランジスタのドレイン電流の大きさを制御することで、前記第 2 の期間における前記発光素子の輝度を制御することを特徴とする発光装置の駆動方法。

【請求項 7】請求項 3 乃至請求項 6 のいずれか 1 項において、前記第 1 のトランジスタと前記第 2 のトランジスタは極性が同じであることを特徴とする発光装置の駆動方法。

【請求項 8】1 フレーム期間に第 1 の期間と第 2 の期間とが出現する発光装置の駆動方法であって、

前記第 1 及び前記第 2 の期間において、前記発光装置が有する第 1 のトランジスタと第 2 のトランジスタはゲートが互いに接続され、なおかつ前記第 1 のトランジスタのソースと前記第 2 のトランジスタのソースが接続され、

前記第 1 の期間において、前記第 1 のトランジスタのゲートとドレインに一定の電圧が印加され、前記第 2 のトランジスタのドレインがフローティングの状態にあり、なおかつ前記第 1 のトランジスタのドレイン電流が定電流源によって制御され、

前記第 2 の期間において、前記第 1 のトランジスタのゲートとドレインが分離しており、前記第 1 のトランジスタのドレイン及び前記第 2 のトランジスタのドレインに一定の電圧が印加され、なおかつ前記第 1 及び前記第 2 のトランジスタのドレイン電流が共に発光素子に流れることを特徴とする発光装置の駆動方法。

【請求項 9】1 フレーム期間に第 1 の期間と第 2 の期間とが出現する発光装置の駆動方法であって、

前記第 1 及び前記第 2 の期間において、前記発光装置が

10

20

30

40

50

有する第 1 のトランジスタと第 2 のトランジスタはゲートが互いに接続され、なおかつ前記第 1 のトランジスタのドレインと前記第 2 のトランジスタのドレインが接続され、

前記第 1 の期間において、前記第 1 及び前記第 2 のトランジスタのゲートと、前記第 1 及び前記第 2 のトランジスタのドレインとに一定の電圧が印加され、なおかつ前記第 1 のトランジスタのドレイン電流が定電流源によって制御され、

前記第 2 の期間において、前記第 1 のトランジスタのゲートとドレインが分離しており、前記第 2 のトランジスタのゲートとドレインが分離しており、前記第 1 のトランジスタのドレイン及び前記第 2 のトランジスタのドレインに一定の電圧が印加され、なおかつ前記第 1 及び前記第 2 のトランジスタのドレイン電流が共に発光素子に流れることを特徴とする発光装置の駆動方法。

【請求項 10】 1 フレーム期間に第 1 の期間と第 2 の期間とが出現する発光装置の駆動方法であって、

前記第 1 及び前記第 2 の期間において、前記発光装置が有する第 1 のトランジスタと第 2 のトランジスタは、ゲートが互いに接続され、かつ前記第 1 及び前記第 2 のトランジスタのソースに一定の電圧が印加され、

前記第 1 の期間において、前記第 1 のトランジスタのゲートとドレインが接続され、かつ前記第 2 のトランジスタのドレインが発光素子の画素電極に接続され、前記第 1 のトランジスタのドレイン電流が定電流源によって制御され、

前記第 2 の期間において、前記第 1 及び前記第 2 のトランジスタのゲートと、前記発光装置が有する第 3 のトランジスタのゲートとが接続され、前記第 1 のトランジスタと前記第 3 のトランジスタとはドレイン電流が同じ大きさであり、なおかつ前記第 2 及び前記第 3 のトランジスタのドレイン電流が、共に前記発光素子に流れることを特徴とする発光装置の駆動方法。

【請求項 11】 1 フレーム期間に第 1 の期間と第 2 の期間とが出現する発光装置の駆動方法であって、

前記第 1 及び前記第 2 の期間において、前記発光装置が有する第 1 のトランジスタと第 2 のトランジスタはゲートが互いに接続され、なおかつ前記第 1 のトランジスタのソースと前記第 2 のトランジスタのソースが共に発光素子の画素電極に接続され、

前記第 1 の期間において、前記第 1 のトランジスタのゲートとドレインが接続され、かつ前記第 2 のトランジスタのドレインに一定の電圧が印加され、前記第 1 のトランジスタのドレイン電流が定電流源によって制御され、

前記第 2 の期間において、前記第 1 及び前記第 2 のトランジスタのゲートと、前記発光装置が有する第 3 のトランジスタのゲートとが接続され、前記第 1 のトランジスタのドレインと前記第 3 のトランジスタのソースが接続され、前記第 3 のトランジスタのドレイン及び前記第 2

のトランジスタのドレインに一定の電圧が印加され、なおかつ前記第 2 及び前記第 3 のトランジスタのドレイン電流が、共に前記発光素子に流れることを特徴とする発光装置の駆動方法。

【請求項 12】 発光素子が備えられた画素を複数有する発光装置の駆動方法であって、

第 1 の期間において、ビデオ信号によって定められた電流を画素に供給し、前記画素が有する第 1 の手段及び第 2 の手段によって、前記供給された電流を電圧に変換し、

第 2 の期間において、前記画素が有する第 2 の手段によって、前記変換された電圧に応じた大きさの電流を前記発光素子に供給することを特徴とする発光装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、基板上に形成された発光素子を、該基板とカバー材の間に封入した発光パネルに関する。また、該発光パネルにコントローラを含む IC 等を実装した、発光モジュールに関する。なお本明細書において、発光パネル及び発光モジュールを共に発光装置と総称する。また本発明は、該発光装置の駆動方法及び該発光装置を用いた電子機器に関する。さらに本発明は、該発光装置を作製する過程における、発光素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を発光素子に供給するための手段を複数の各画素に備える。

【0002】

【従来の技術】 発光素子は自ら発光するため視認性が高く、液晶表示装置 (LCD) で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年発光素子を用いた発光装置は、CRT や LCD に代わる表示装置として注目されている。

【0003】 なお、本明細書において発光素子は、電流または電圧によって輝度が制御される素子を意味しており、OLED (Organic Light Emitting Diode) や、FED (Field Emission Display) に用いられている MIM 型の電子源素子 (電子放出素子) 等を含んでいる。

【0004】 OLED は、電場を加えることで発生するルミネッセンス (Electroluminescence) が得られる有機化合物 (有機発光材料) を含む層 (以下、有機発光層と記す) と、陽極層と、陰極層とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いても良いし、または両方の発光を用いても良い。

【0005】 なお、本明細書では、OLED の陽極と陰極の間に設けられた全ての層を有機発光層と定義する。

有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にOLEDは、陽極／発光層／陰極が順に積層された構造を有しており、この構造に加えて、陽極／正孔注入層／発光層／陰極や、陽極／正孔注入層／発光層／電子輸送層／陰極等の順に積層した構造を有していることもある。これらの層の中に無機化合物を含んでいる場合もある。

【0006】

【発明が解決しようとする課題】図25に、一般的な発光装置の画素の構成を示す。図25に示した画素は、TFT50、51と、保持容量52と、発光素子53とを有している。

【0007】TFT50は、ゲートが走査線55に接続されており、ソースとドレインが一方は信号線54に、もう一方はTFT51のゲートに接続されている。TFT51は、ソースが電源56に接続されており、ドレインが発光素子53の陽極に接続されている。発光素子53の陰極は電源57に接続されている。保持容量52はTFT51のゲートとソース間の電圧を保持するように

設けられている。
【0008】走査線55の電圧によりTFT50がオンになると、信号線54に入力されたビデオ信号がTFT51のゲートに入力される。ビデオ信号が入力されると、入力されたビデオ信号の電圧に従って、TFT51のゲート電圧（ゲートとソース間の電圧差）が定まる。そして、該ゲート電圧によって流れるTFT51のドレイン電流は、発光素子53に供給され、発光素子53は供給された電流によって発光する。

【0009】ところで、ポリシリコンで形成されたTFTは、アモルファスシリコンで形成されたTFTよりも電界効果移動度が高く、オン電流が大きいため、発光素子パネルのトランジスタとしてより適している。

【0010】しかし、ポリシリコンを用いてTFTを形成しても、その電気的特性は所詮単結晶シリコン基板に形成されるMOSトランジスタの特性に匹敵するものではない。例えば、電界効果移動度は単結晶シリコンの1/10以下である。また、ポリシリコンを用いたTFTは、結晶粒界に形成される欠陥に起因して、その特性にばらつきが生じやすいといった問題点を有している。

【0011】図25に示した画素において、TFT51の閾値やオン電流等の特性が画素毎にばらつくと、ビデオ信号の電圧が同じであってもTFT51のドレイン電流の大きさが画素間で異なり、発光素子53の輝度にばらつきが生じる。

【0012】そこで、上述した問題を回避するために、TFTの特性に左右されずに発光素子に流れる電流の大きさを制御できる、様々な種類の電流入力型の画素の構成が考案されている。以下に、代表的な電流入力型の画素を2つ例示し、その構成について説明する。

【0013】まず、特開2001-147659号に記載の電流入力型の画素の構成について、図26(A)を用いて説明する。

【0014】図26(A)に記載の画素は、TFT11、12、13、14と、保持容量15と、発光素子16とを有している。

【0015】TFT11は、ゲートが端子18に接続され、ソースとドレインが一方は電流源17に、他方はTFT13のドレインに接続されている。TFT12は、ゲートが端子19に、ソースとドレインが一方はTFT13のドレインに、他方はTFT13のゲートに接続されている。TFT13とTFT14は、ゲートが互いに接続されており、ソースが共に端子20に接続されている。TFT14のドレインは発光素子16の陽極に接続されており、発光素子16の陰極は端子21に接続されている。保持容量15はTFT13及び14のゲートとソース間の電圧を保持するように設けられている。端子20、21には、電源からそれぞれ所定の電圧が印加されており、互いに電圧差を有している。

【0016】端子18、19に与えられる電圧によりTFT11、12がオンになった後、電流源17によってTFT13のドレイン電流が制御される。ここで、TFT13はゲートとドレインが接続されているため飽和領域で動作しており、そのドレイン電流は以下の式1で表される。なお、 V_{gs} はゲート電圧、 μ を移動度、 C_0 を単位面積あたりのゲート容量、 W/L をチャネル形成領域のチャネル幅 W とチャネル長 L の比、 V_{th} を閾値、ドレイン電流を I とする。

【0017】

$$\text{【式1】 } I = \mu C_0 W/L (V_{gs} - V_{th})^2 / 2$$

【0018】式1において μ 、 C_0 、 W/L 、 V_{th} は全て個々のトランジスタによって決まる固定の値である。式1から、TFT13のドレイン電流はゲート電圧 V_{gs} によって変化することがわかる。よって、式1に従うと、ドレイン電流に見合った値のゲート電圧 V_{gs} が、TFT13において発生する。

【0019】このとき、TFT13とTFT14はそのゲートとソースが互いに接続されているため、TFT14のゲート電圧がTFT13のゲート電圧と同じ大きさに保たれる。

【0020】よって、TFT13とTFT14はドレイン電流が比例関係にある。特に、 μ 、 C_0 、 W/L 、 V_{th} の値が同じであれば、TFT13とTFT14はドレイン電流が同じになる。TFT14に流れるドレイン電流は発光素子16に供給され、該ドレイン電流の大きさに見合った輝度で発光素子16は発光する。

【0021】そして、端子18、19に与えられる電圧によりTFT11、12がオフになった後も、TFT14のゲート電圧が保持容量15によって保持されている限り、発光素子16は発光し続ける。

【0022】このように、図26(A)に示した画素は、画素に供給された電流を電圧に変換して保持する手段と、該保持された電圧に応じた大きさの電流を発光素子に流す手段とを有している。図27(A)に、図26(A)に示した画素が有する手段と、その発光素子との関係をブロック図で示す。画素80は、画素に供給された電流を電圧に変換して保持する手段である変換部81と、該保持された電圧に応じた大きさの電流を発光素子に流す手段である駆動部82と、発光素子83とを有する。画素80に供給された電流は変換部81において電圧に変換され、該電圧は駆動部82に与えられる。駆動部82では与えられた電圧に見合った大きさの電流を発光素子83に供給する。

【0023】具体的に図26(A)では、TFT12、TFT13及び保持容量15が、供給された電流を電圧に変換して保持する手段に相当する。また、TFT14が保持された電圧に応じた大きさの電流を発光素子に流す手段に相当する。

【0024】次に、Tech. Digest IEDM 98, 875. R. M. A. Dawson etc.に記載の電流入力型の画素の構成について、図26(B)を用いて説明する。図26(B)に記載の画素は、TFT31、32、33、34と、保持容量35と、発光素子36とを有している。

【0025】TFT31はゲートが端子38に接続され、ソースとドレインが一方は電流源37に、他方はTFT33のソースに接続されている。また、TFT34はゲートが端子38に接続され、ソースとドレインが一方はTFT33のゲートに、他方はTFT33のドレインに接続されている。TFT32は、ゲートが端子39に、ソースとドレインが、一方は端子40に、他方はTFT33のソースに接続されている。TFT34のドレインは発光素子36の陽極に接続されており、発光素子36の陰極は端子41に接続されている。保持容量35はTFT33のゲートとソース間の電圧を保持するように設けられている。端子40、41には、電源からそれぞれ所定の電圧が印加されており、互いに電圧差を有している。

【0026】端子38に与えられる電圧によりTFT31及び34がオンになり、かつ端子39に与えられる電圧によりTFT32がオフになった後、電流源37によってTFT33のドレイン電流が制御される。ここで、TFT33はゲートとドレインが接続されているため飽和領域で動作しており、そのドレイン電流は上述の式1で表される。式1から、TFT33のドレイン電流はゲート電圧 V_{gs} によって変化することがわかる。よって、式1に従うと、ドレイン電流に見合った値のゲート電圧 V_{gs} が、TFT33において発生する。

【0027】TFT33に流れるドレイン電流は発光素子36に供給され、該ドレイン電流の大きさに見合った輝度で発光素子36は発光する。

【0028】そして、端子38に与えられる電圧によりTFT31、34がオフになった後、端子39に与えられる電圧によりTFT32がオンになる。このとき、TFT33のゲート電圧が保持容量35によって保持されている限り、TFT31、34がオンであったときと同じ輝度で発光素子36は発光し続ける。

【0029】このように、図26(B)に示した画素は、画素に供給された電流を電圧に変換して保持し、該保持された電圧に応じた大きさの電流を発光素子に流す手段を有している。つまり、図26(B)に示した画素の場合は、図26(A)に備えられた2つの手段が有する機能を1つの手段で賄っていることになる。図27

(B)に、図26(B)に示した画素が有する手段と、その発光素子との関係をブロック図で示す。図27

(B)では、変換部の有する機能と、駆動部の有する機能とを1つの手段で賄っている。つまり、画素85に供給された電流は、変換部でありなおかつ駆動部である手段86によって電圧に変換された後、該電圧に見合った大きさの電流を発光素子87に供給している。

【0030】具体的に図26(B)では、TFT33、TFT34及び保持容量35が、供給された電流を電圧に変換して保持し、該保持された電圧に応じた大きさの電流を発光素子に流す手段に相当する。

【0031】上述した図26(A)、(B)に示す画素は、TFTの閾値やオン電流等の特性が画素毎にばらついていても、電流源により発光素子に流れる電流の大きさを制御するので、画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。

【0032】また一般的に発光素子は、電極間の電圧を一定に保って発光させた場合と、電極間の電流を一定に保って発光させた場合とでは、後者の方が、有機発光材料の劣化による輝度の低下を抑えることができる。したがって、図26(A)、(B)に例示した電流入力型の2つの画素の場合、有機発光材料の劣化の影響を受けずに、発光素子に流れる電流を常に所望の値に保つことができるので、図25に示した電圧入力型の画素のTFT51を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。

【0033】また、発光素子の輝度と、有機発光層に流れる電流の大きさは比例関係にある。有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、電流入力型の発光装置では発光素子に流れる電流を一定に保つことができるので、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0034】しかし、上述した2つの画素もそれぞれ課題を有している。

【0035】図26(A)に代表されるような、画素に供給された電流を電圧に変換して保持する手段と、該保持された電圧に応じた大きさの電流を発光素子に流す手

段の2つの手段を有する画素の場合、いずれか一方の手段の特性がずれることにより、2つの手段における特性のバランスが崩れてしまうことがある。すると、駆動部から発光素子に供給される電流の大きさが所望の値に保たれなくなり、画素間で発光素子の輝度にばらつきが生じてしまう。

【0036】具体的に図26(A)では、TFT13またはTFT14において、TFTに固有の特性である μ 、 C_0 、 V_{th} や、 W/L がずれてしまった場合、TFT13のドレイン電流に対するTFT14のドレイン電流の比が画素間で異なってしまう、画素間において発光素子の輝度のばらつきが生じてしまう。

【0037】一方、図26(B)に代表されるような、画素に供給された電流を電圧に変換して保持し、かつ該保持された電圧に応じた大きさの電流を発光素子に流す手段を有する画素の場合、画素に供給された電流を電圧に変換する際に発光素子に電流が流れる。発光素子は比較的大きな容量を有している。そのため、例えば低い階調から高い階調へ表示が変化する場合、発光素子の有する容量に電荷がたまるまで、電流から変換される電圧の値が安定しない。よって、低い階調から高い階調へ表示が変化するのに時間がかかってしまう。また逆に、高い階調から低い階調へ表示が変化する場合、発光素子の有する容量が有する余分な電荷が放出されるまで、電流から変換される電圧の値が安定しない。よって、高い階調から低い階調へ表示が変化するのに時間がかかってしまう。

【0038】具体的に図26(B)では、電流源37から供給される電流の値が変わったときに、TFT33のゲート電圧が安定するのに時間がかかり、電流を書き込む時間が長くなる。その結果、例えば、動画表示において残像が視認されてしまうことがある。よって、高速応答で動画表示に向いているという発光素子の特徴を生かすことができない。

【0039】本発明は上述したことに鑑み、TFTの特性の違いに起因する、画素間における発光素子の輝度のばらつきをより抑えることができ、なおかつ残像が視認されにくい、電流駆動型の発光装置の提供を課題とする。

【0040】

【課題を解決するための手段】本発明の第1の構成の発光装置は、画素に供給された電流を電圧に変換して保持し、なおかつ該保持された電圧に応じた大きさの電流を発光素子に流す第1の手段と、第1の手段において保持された電圧に応じた大きさの電流を発光素子に流す第2の手段とを、画素に備えている。

【0041】図1に本発明の第1の構成の画素が有する手段と、その発光素子との関係をブロック図で示す。本発明の画素90は、画素90に供給された電流を電圧に変換して保持し、なおかつ該保持された電圧に応じた大

きさの電流を、画素90が有する発光素子93に流す第1の手段91を有している。つまり第1の手段91は、変換部でありかつ駆動部でもある。なお以下、第1の手段91が有する駆動部を、駆動部Aと呼ぶ。また、画素90は、第1の手段において変換され保持されている電圧の大きさに応じて、電流を発光素子93に流す第2の手段を備えている。以下、第2の手段92である駆動部を駆動部Bと呼ぶ。

【0042】つまり、本発明の第1の構成の画素では、変換部でもあり駆動部Aでもある第1の手段91からの電流 I_1 と、駆動部Bである第2の手段92からの電流 I_2 とが、共に発光素子93に供給される。発光素子93は、電流 I_1 と電流 I_2 を合わせた大きさの電流により、その輝度が定められる。

【0043】本発明の第1の構成の画素においても、図27(A)に示した画素のように、第1の手段と第2の手段のいずれか一方の手段の特性がずれることにより、2つの手段における特性のバランスが崩れ、駆動部Bから発光素子に供給される電流 I_2 の大きさが所望の値に保たれなくなることがある。しかし、変換部でも有る駆動部Aでもある第2の手段91から、発光素子93に供給される電流 I_1 は、特性のずれに左右されずに所望の値に保たれる。そして、発光素子には電流 I_1 と電流 I_2 を合わせた大きさの電流が供給されるため、特性のずれに起因する発光素子に供給される電流量のばらつきを、図27(A)に示した画素に比べ約半分程度に抑えることができる。よって、画素間の輝度のばらつきを抑えることができる。

【0044】本発明の第2の構成の発光装置は、画素に供給された電流を電圧に変換して保持する第1の手段と、前記画素に供給された電流を電圧に変換して保持し、なおかつ該保持された電圧に応じた大きさの電流を発光素子に流す第2の手段とを、画素に備えている。

【0045】図36に本発明の第2の構成の画素が有する手段と、その発光素子との関係をブロック図で示す。本発明の画素60は、画素60に供給された電流を電圧に変換して保持する第1の手段61を有している。以下、第1の手段61である変換部を変換部Aと呼ぶ。また、画素60は、前記画素に供給された電流を電圧に変換して保持し、なおかつ該保持された電圧に応じた大きさの電流を発光素子63に流す第2の手段62を有している。つまり第2の手段62は、変換部でありかつ駆動部でもある。なお以下、第2の手段62が有する変換部を、変換部Bと呼ぶ。

【0046】つまり、本発明の第2の構成の画素では、画素に供給された電流を第1の手段と第2の手段の両方において電圧に変換し、該電圧に応じた電流 I_1 が、第2の手段の駆動部から発光素子63に供給される。発光素子63は、電流 I_1 によりその輝度が定められる。

【0047】本発明の第2の構成の画素では、図27

(A) に示した画素のように、第1の手段と第2の手段のいずれか一方の手段の特性がずれることにより、2つの手段における特性のバランスが崩れ、駆動部から発光素子に供給される電流 I_1 の大きさが所望の値に保たれなくなることがある。しかし、2つの変換部A、Bを共に用いることで変換された電圧を平均化することができ、そして駆動部から発光素子に供給される電流 I_1 は該平均化された電圧に応じた大きさであるので、特性のずれに起因する発光素子に供給される電流量のばらつきを、図27(A)に示した画素に比べ約半分程度に抑えることができる。よって、画素間の輝度のばらつきを抑えることができる。また、画素に供給された電流は、電流 I_1 よりも大きい。そのため、電流を書き込む時間を短くすることができる。

【0048】なお、発光素子が完成する前の形態に相当する素子基板は、上述した第1の手段及び第2の手段を各画素に有していれば良く、発光素子を有していなくとも良い。具体的に素子基板は、発光素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、パターニングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0049】また、上記第1及び第2の構成の本発明の画素では、第1の手段において画素に供給された電流を電圧に変換する際に、画素に供給された電流は発光素子に流れない。よって、供給された電流から変換された電圧が安定するまでの時間は、発光素子の容量に左右されない。したがって、図27(B)に示した画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0050】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、TFTの特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図25に示した電圧入力型の画素のTFT51を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0051】

【発明の実施の形態】(実施の形態1) 図2に本発明の発光パネルの構成を、ブロック図で示す。100は画素部であり、複数の画素101がマトリクス状に形成されている。また102は信号線駆動回路、103は走査線駆動回路である。

【0052】なお図2では信号線駆動回路102と走査

線駆動回路103が、画素部100と同じ基板上に形成されているが、本発明はこの構成に限定されない。信号線駆動回路102と走査線駆動回路103とが画素部100と異なる基板上に形成され、FPC等のコネクタを介して、画素部100と接続されていても良い。また、図2では信号線駆動回路102と走査線駆動回路103は1つずつ設けられているが、本発明はこの構成に限定されない。信号線駆動回路102と走査線駆動回路103の数は設計者が任意に設定することができる。

【0053】なお本明細書において接続とは、特に記載のない限り電氣的な接続を意味する。逆に、切り離すとは、接続していない状態を意味する。

【0054】また図2では、画素部100には、図示していないが、信号線 $S1 \sim Sx$ 、電源線 $V1 \sim Vx$ 、第1走査線 $G1 \sim Gy$ 、第2走査線 $P1 \sim Py$ 、第3走査線 $R1 \sim Ry$ が設けられている。なお信号線と電源線の数は必ずしも同じであるとは限らない。また、第1走査線と、第2走査線と、第3走査線の数は必ずしも同じであるとは限らない。またこれらの配線を必ず全て有していなくとも良く、これらの配線の他に、別の異なる配線が設けられていても良い。

【0055】電源線 $V1 \sim Vx$ は所定の電圧に保たれている。なお図2ではモノクロの画像を表示する発光装置の構成を示しているが、本発明はカラーの画像を表示する発光装置であっても良い。その場合、電源線 $V1 \sim Vx$ の電圧の高さを全て同じに保たなくても良く、対応する色毎に変えるようにしても良い。

【0056】なお、本明細書において電圧とは、特に記載のない限りグラウンドとの電位差を意味する。

【0057】図3に、図2で示した画素101の詳細な構成を示す。図3に示す画素101は、信号線 Si ($S1 \sim Sx$ のうちの1つ)、第1走査線 Gj ($G1 \sim Gy$ のうちの1つ)、第2走査線 Pj ($P1 \sim Py$ のうちの1つ)、第3走査線 Rj ($R1 \sim Ry$ のうちの1つ)及び電源線 Vi ($V1 \sim Vx$ のうちの1つ)を有している。

【0058】また画素101は、トランジスタ $Tr1$ 、トランジスタ $Tr2$ 、トランジスタ $Tr3$ 、トランジスタ $Tr4$ 、トランジスタ $Tr5$ 、発光素子104及び保持容量105を有している。保持容量105はトランジスタ $Tr1$ 及び $Tr2$ のゲートとソースの間の電圧(ゲート電圧)をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0059】トランジスタ $Tr3$ のゲートは第1走査線 Gj に接続されている。そしてトランジスタ $Tr3$ のソースとドレインは、一方は信号線 Si に接続されており、もう一方はトランジスタ $Tr1$ のドレインに接続されている。

【0060】なお本明細書では、nチャネル型トランジスタのソースに与えられる電圧は、ドレインに与えられ

る電圧よりも低いものとする。また、pチャネル型トランジスタのソースに与えられる電圧は、ドレインに与えられる電圧よりも高いものとする。

【0061】トランジスタTr4のゲートは、第2走査線Pjに接続されている。そしてトランジスタTr4のソースとドレインは、一方は信号線Siに、もう一方はトランジスタTr1のゲート及びトランジスタTr2のゲートに接続されている。

【0062】トランジスタTr5のゲートは、第3走査線Rjに接続されている。そしてトランジスタTr5の 10 ソースとドレインは、一方はトランジスタTr1のドレインに、もう一方はトランジスタTr2のドレインに接続されている。

【0063】トランジスタTr1とトランジスタTr2のゲートは、互いに接続されている。トランジスタTr1とトランジスタTr2のソースは、共に電源線Viに接続されている。そして、トランジスタTr2のドレインは、発光素子104の画素電極に接続されている。

【0064】保持容量105が有する2つの電極は、一方はトランジスタTr1とトランジスタTr2のゲート 20 に、もう一方は電源線Viに接続されている。

【0065】発光素子104は陽極と陰極を有しており、本明細書では、陽極を画素電極として用いる場合は陰極を対向電極と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。

【0066】電源線Viの電圧（電源電圧）は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0067】なお、トランジスタTr1及びTr2はnチャネル型トランジスタとpチャネル型トランジスタの 30 どちらでも良い。ただし、トランジスタTr1及びTr2の極性は同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びTr2はpチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びTr2はnチャネル型トランジスタであるのが望ましい。

【0068】トランジスタTr3、Tr4、Tr5は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。

【0069】次に、本実施の形態の発光装置の動作について、図4、図5を用いて説明する。本発明の第1の構成の発光装置の動作は、各ラインの画素毎に書き込み期間Taと表示期間Tdとに分けて説明することができる。図4に、第1～3走査線のタイミングチャートを示す。走査線が選択されている期間、言いかえると該走査線にゲートが接続されているトランジスタが全てオンの状態にある期間は、ONで示す。逆に、走査線が選択されていない期間、言いかえると該走査線にゲートが接続されているトランジスタが全てオフの状態にある期間 50

は、OFFで示す。また図5は、書き込み期間Taと表示期間TdにおけるトランジスタTr1とトランジスタTr2の接続を、簡単に示した図である。

【0070】まず、1ライン目の画素において書き込み期間Taが開始される。書き込み期間Taが開始されると、第1走査線G1、第2走査線P1が選択される。よって、トランジスタTr3とトランジスタTr4がオンになる。なお、第3走査線R1は選択されていないので、トランジスタTr5はオフになっている。

【0071】そして、信号線駆動回路102に入力されるビデオ信号に基づき、信号線S1～Sxと電源線V1～Vxの間に、それぞれビデオ信号に応じた電流（以下、信号電流Ic）が流れる。なお本明細書において信号電流Icを信号電流と呼ぶ。

【0072】図5（A）に、書き込み期間Taにおいて、信号線Siにビデオ信号に応じた信号電流Icが流れた場合の、画素101の概略図を示す。106は対向電極に電圧を与える電源との接続用の端子を意味している。また、107は信号線駆動回路102が有する定電 40 流源を意味する。

【0073】トランジスタTr3はオンの状態にあるので、信号線Siにビデオ信号に応じた信号電流Icが流れると、信号電流IcはトランジスタTr1のドレインとソースの間に流れる。このときトランジスタTr1は、ゲートとドレインが接続されているので飽和領域で動作しており、式1が成り立つ。よって、トランジスタTr1のゲート電圧Vgsは電流値Icによって定まる。

【0074】そしてトランジスタTr2のゲートは、トランジスタTr1のゲートに接続されている。また、トランジスタTr2のソースは、トランジスタTr1のソ 50 ースに接続されている。したがって、トランジスタTr1のゲート電圧は、そのままトランジスタTr2のゲート電圧となる。よって、トランジスタTr2のドレイン電流は、トランジスタTr1のドレイン電流に比例する。特に、 $\mu C_0 W/L$ 及び V_{TH} が互いに等しいとき、トランジスタTr1とトランジスタTr2のドレイン電流は互いに等しくなり、 $I_1 = I_c$ となる。

【0075】そして、トランジスタTr2のドレイン電流I1は発光素子104に流れる。発光素子に流れる電 40 流は、定電流源107において定められた信号電流Icに応じた大きさであり、流れる電流の大きさに見合った輝度で発光素子104は発光する。発光素子に流れる電流が0に限りなく近かったり、発光素子に流れる電流が逆バイアスの方向に流れたりする場合は、発光素子104は発光しない。

【0076】1ライン目の画素において書き込み期間Taが終了すると、第1走査線G1、第2走査線P1の選択が終了する。このとき、第2走査線P1の選択が、第1走査線G1よりも先に終了するのが望ましい。なぜならトランジスタTr3が先にオフになってしまうと、保

持容量 105 の電荷が T_r4 を通って漏れてしまうからである。そして、2 ライン目の画素において書き込み期間 T_a が開始され、第 1 走査線 $G2$ 、第 2 走査線 $P2$ が選択される。よって、2 ライン目の画素においてトランジスタ T_r3 とトランジスタ T_r4 がオンになる。そして、第 3 走査線 $R2$ は選択されていないので、トランジスタ T_r5 はオフになる。

【0077】そして、信号線駆動回路 102 に入力されるビデオ信号に基づき、信号線 $S1 \sim Sx$ と電源線 $V1 \sim Vx$ の間に信号電流 I_c が流れる。そして、信号電流 I_c に応じた大きさの電流が発光素子 104 に流れ、該電流の大きさに従って発光素子 104 が発光する。

【0078】次に、2 ライン目の画素において書き込み期間 T_a が終了し、その後、2 ライン目から y ライン目の画素まで順に書き込み期間 T_a が開始され、上述した動作が繰り返される。

【0079】一方、1 ライン目の画素において書き込み期間 T_a が終了すると、次に表示期間 T_d が開始される。表示期間 T_d が開始されると、第 3 走査線 $R1$ が選択され、1 ライン目の画素においてトランジスタ T_r5 がオンになる。なお、第 1 走査線 $G1$ 及び第 2 走査線 $P1$ は選択されていないので、トランジスタ T_r3 及び T_r4 はオフになっている。

【0080】図 5 (B) に、表示期間 T_d における画素の概略図を示す。トランジスタ T_r3 及びトランジスタ T_r4 はオフの状態にある。また、トランジスタ T_r1 及びトランジスタ T_r2 のソースは電源線 V_i に接続されており、一定の電圧（電源電圧）が与えられている。

【0081】一方トランジスタ T_r1 、 T_r2 においては、書き込み期間 T_a において定められた V_{cs} がそのまま保持されている。そのため、トランジスタ T_r1 のドレイン電流 I_{d1} と、トランジスタ T_r2 のドレイン電流 I_{d2} の値は、共に信号電流 I_c に応じた大きさに維持されたままである。また、トランジスタ T_r5 がオンなので、トランジスタ T_r1 のドレイン電流 I_{d1} と、トランジスタ T_r2 のドレイン電流 I_{d2} は、共に発光素子 104 に流れる。よって、ドレイン電流 I_{d1} と、ドレイン電流 I_{d2} を合わせた電流の大きさに見合った輝度で、発光素子 104 は発光する。

【0082】そして 2 ライン目の画素において書き込み期間 T_a が終了すると、次に 2 ライン目の画素において表示期間 T_d が開始される。そして 1 ライン目の画素と同様に、第 3 走査線 $R2$ が選択され、トランジスタ T_r5 がオンになる。なお、第 1 走査線 $G2$ 及び第 2 走査線 $P2$ は選択されていないので、トランジスタ T_r3 及び T_r4 はオフになっている。そして、ドレイン電流 I_{d1} と、ドレイン電流 I_{d2} を合わせた電流が発光素子 104 に流れ、該発光素子に流れる電流の大きさに見合った輝度で、発光素子 104 は発光する。

【0083】そして、2 ライン目の画素において表示期

間 T_d が開始されると、その後、3 ライン目から y ライン目の画素まで順に表示期間 T_d が開始され、上述した動作が繰り返される。

【0084】書き込み期間 T_a と、表示期間 T_d が終了すると 1 フレーム期間が終了する。1 つのフレーム期間において 1 つの画像が表示される。そして、次のフレーム期間が開始され、再び書き込み期間 T_a が開始されて、上述した動作が繰り返される。

【0085】なお、発光素子に流れる電流の大きさに見合った輝度で発光素子 104 が発光するので、各画素の階調は、表示期間 T_d における発光素子に流れる電流の大きさで決まる。なお、書き込み期間 T_a においても、ドレイン電流 I_{d1} の大きさに見合った輝度で発光しているが、その階調に与える影響は、実際のパネルでは無視できる程度に小さいと考えられる。なぜなら、例えば VGA だと 480 ラインの画素が画素部に設けられており、1 ラインの画素の書き込み期間 T_a は 1 フレーム期間の $1/480$ 程度と非常に小さいからである。もちろん、書き込み期間 T_a における発光素子に流れる電流の階調への影響を考慮に入れて、信号電流 I_c の大きさを補正するようにしても良い。

【0086】本発明の第 1 の構成の画素では、表示期間において発光素子に流れる電流はドレイン電流 I_{d1} と、ドレイン電流 I_{d2} の和である。よって、発光素子に流れる電流がドレイン電流 I_{d1} のみに依存していない。そのため、トランジスタ T_r1 とトランジスタ T_r2 の特性がずれて、トランジスタ T_r1 のドレイン電流 I_{d1} に対するトランジスタ T_r2 のドレイン電流 I_{d2} の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0087】また、本発明の画素では、書き込み期間 T_a においてトランジスタ T_r1 のドレイン電流は発光素子に流れていない。よって信号線駆動回路によって画素に電流が供給され、トランジスタ T_r1 のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0088】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、 $TFET$ の特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図 25 に示した電圧入力型の画素の $TFET51$ を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化する

るのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0089】なお、本実施の形態において、トランジスタTr4のソースとドレインは、一方は信号線Siに、もう一方はトランジスタTr1のゲート及びトランジスタTr2のゲートに接続されている。しかし本実施の形態はこの構成に限定されない。本発明の第1の構成の画素は、書き込み期間TaにおいてトランジスタTr1のゲートとドレインを接続し、表示期間においてトランジスタTr1のゲートとドレインを切り離すことができるように、トランジスタTr4が他の素子または配線と接続されていれば良い。

【0090】つまり、Tr3、Tr4、Tr5は、Taでは図5(A)のように接続され、Tdでは図5(B)のように接続されていれば良い。また、Gj、Pj、Rjは3本が別の配線となっているが、まとめて1本や2本にしても良い。

【0091】(実施の形態2) 本実施の形態では、図2に示した発光装置が有する画素101の、図3とは異なる構成について説明する。

【0092】図6に、図2で示した画素101の詳しい構成を示す。図6に示す画素101は、信号線Si(S1~Sxのうちの1つ)、第1走査線Gj(G1~Gyのうちの1つ)、第2走査線Pj(P1~Pyのうちの1つ)、第3走査線Rj(R1~Ryのうちの1つ)及び電源線Vi(V1~Vxのうちの1つ)を有している。

【0093】また画素101は、トランジスタTr1、トランジスタTr2、トランジスタTr3、トランジスタTr4、トランジスタTr5、トランジスタTr6、発光素子214及び保持容量215を有している。保持容量215はトランジスタTr1及びTr2のゲート電圧をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0094】トランジスタTr3のゲートは第1走査線Gjに接続されている。そしてトランジスタTr3のソースとドレインは、一方は信号線Siに接続されており、もう一方はトランジスタTr1及びTr2のソースに接続されている。

【0095】トランジスタTr4のゲートは、第2走査線Pjに接続されている。そしてトランジスタTr4のソースとドレインは、一方は電源線Viに、もう一方はトランジスタTr1及びTr2のゲートに接続されている。

【0096】トランジスタTr5のゲートは、第3走査線Rjに接続されている。そしてトランジスタTr5のソースとドレインは、一方はトランジスタTr1及びTr2のソースに、もう一方は発光素子214の画素電極に接続されている。

【0097】トランジスタTr6のゲートは、第3走査

線Rjに接続されている。そしてトランジスタTr6のソースとドレインは、一方は電源線に、もう一方はトランジスタTr2のドレインに接続されている。

【0098】トランジスタTr1とトランジスタTr2のゲートは、互いに接続されている。そして、トランジスタTr1のドレインは、電源線Viに接続されている。

【0099】保持容量215が有する2つの電極は、一方はトランジスタTr1及びTr2のゲートに、もう一方はトランジスタTr1及びTr2のソースに接続されている。

【0100】電源線Viの電圧(電源電圧)は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0101】なお、トランジスタTr1及びTr2はnチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr1及びTr2の極性は同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びTr2はnチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びTr2はpチャネル型トランジスタであるのが望ましい。

【0102】トランジスタTr3、Tr4、Tr5、Tr6は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr5とTr6は共にゲートが第3走査線Rjに接続されているため、その極性を同じにする。トランジスタTr5のゲートとTr6のゲートが同じ配線に接続されていない場合、その極性は同じでなくとも良い。

【0103】次に、本実施の形態の発光装置の動作について説明する。図6に示した画素を有する発光装置の動作は、図3に示した画素の場合と同様に、書き込み期間Taと表示期間Tdとに分けて説明することが可能である。

【0104】また、第1~3走査線に印加される電圧については、図4に示したタイミングチャートを参照することができる。また図7は、図6に示した画素の、書き込み期間Taと表示期間TdにおけるトランジスタTr1とトランジスタTr2の接続を、簡単に示した図である。

【0105】まず、1ライン目の画素において書き込み期間Taが開始される。書き込み期間Taが開始されると、第1走査線G1、第2走査線P1が選択される。よって、トランジスタTr3、Tr4がオンになる。なお、第3走査線R1は選択されていないので、トランジスタTr5、Tr6はオフになっている。

【0106】そして、信号線駆動回路102に入力されるビデオ信号に基づき、信号線S1~Sxと電源線V1~Vxの間に、それぞれビデオ信号に応じた信号電流I

cが流れる。

【0107】図7(A)に、書き込み期間Taにおいて、信号線Siに信号電流Icが流れた場合の、画素101の概略図を示す。216は対向電極に電圧を与える電源との接続用の端子を意味している。また、217は信号線駆動回路102が有する定電流源を意味する。

【0108】トランジスタTr3はオンの状態にあるので、信号線Siに信号電流Icが流れると、信号電流IcはトランジスタTr1のドレインとソースの間に流れる。このときトランジスタTr1は、ゲートとドレインが接続されているので飽和領域で動作しており、式1が成り立つ。よって、トランジスタTr1のゲート電圧Vgsは電流値Icによって定まる。

【0109】そして、トランジスタTr2のゲートは、トランジスタTr1のゲートに接続されている。また、トランジスタTr2のソースは、トランジスタTr1のソースに接続されている。したがって、トランジスタTr1のゲート電圧は、そのままトランジスタTr2のゲート電圧となる。

【0110】なお、書き込みTaでは、トランジスタTr2のドレインは、他の配線及び電源等から電圧が与えられていない、所謂フローティングの状態にある。従って、トランジスタTr2にドレイン電流は流れない。

【0111】1ライン目の画素において書き込み期間Taが終了すると、第1走査線G1、第2走査線P1の選択が終了する。このとき、第2走査線P1の選択が、第1走査線G1よりも先に終了するのが望ましい。なぜならトランジスタTr3が先にオフになってしまうと、保持容量215の電荷がTr4を通して漏れてしまうからである。そして、2ライン目の画素において書き込み期間Taが開始され、第1走査線G2、第2走査線P2が選択される。よって、2ライン目の画素においてトランジスタTr3とトランジスタTr4がオンになる。そして、第3走査線R2は選択されていないので、トランジスタTr5、Tr6はオフになる。

【0112】そして、信号線駆動回路102に入力されるビデオ信号に基づき、信号線S1~Sxと電源線V1~Vxの間に信号電流Icが流れる。そして、信号電流IcによってトランジスタTr1のゲート電圧が定められる。

【0113】そして、2ライン目の画素において書き込み期間Taが終了し、その後、3ライン目からyライン目の画素まで順に書き込み期間Taが開始され、上述した動作が繰り返される。

【0114】一方、1ライン目の画素において書き込み期間Taが終了すると、次に表示期間Tdが開始される。表示期間Tdが開始されると、第3走査線R1が選択される。よって、1ライン目の画素においてトランジスタTr5、Tr6がオンになる。なお、第1走査線G1及び第2走査線P1は選択されていないので、トラン

ジスタTr3及びTr4はオフになっている。

【0115】図7(B)に、表示期間Tdにおける画素の概略図を示す。トランジスタTr3及びトランジスタTr4はオフの状態にある。また、トランジスタTr1及びトランジスタTr2のドレインは電源線Viに接続されており、一定の電圧(電源電圧)が与えられている。

【0116】一方トランジスタTr1、Tr2においては、書き込み期間Taにおいて定められたVgsがそのまま保持されている。よって、トランジスタTr1と同じゲート電圧がトランジスタTr2に与えられる。さらに、トランジスタTr6がオンになり、トランジスタTr2のドレインは電源線Viに接続されるので、トランジスタTr2のドレイン電流は、トランジスタTr1のドレイン電流に比例する大きくなる。特に、 $\mu C, W/L$ 及び V_{th} が互いに等しいとき、トランジスタTr1とトランジスタTr2のドレイン電流は互いに等しくなり、 $I_1 = I_2 = I_c$ となる。

【0117】また、トランジスタTr5がオンなので、トランジスタTr1のドレイン電流I1と、トランジスタTr2のドレイン電流I2は、共に発光素子に流れる電流として発光素子214に流れる。よって、表示期間Tdでは、ドレイン電流I1と、ドレイン電流I2を合わせた大きさの電流が発光素子214に流れ、該発光素子に流れる電流の大きさに見合った輝度で、発光素子214が発光する。

【0118】そして1ライン目の画素において表示期間Tdが開始されると、次に2ライン目の画素において表示期間Tdが開始される。そして1ライン目の画素と同様に、第3走査線R2が選択され、トランジスタTr5、Tr6がオンになる。なお、第1走査線G2及び第2走査線P2は選択されていないので、トランジスタTr3及びTr4はオフになっている。よって、ドレイン電流I1と、ドレイン電流I2を合わせた電流の大きさに見合った輝度で、発光素子214は発光する。

【0119】そして、2ライン目の画素において表示期間Tdが開始された後、3ライン目からyライン目の画素まで順に表示期間Tdが開始され、上述した動作が繰り返される。

【0120】書き込み期間Taと、表示期間Tdが終了すると1フレーム期間が終了する。1つのフレーム期間において1つの画像が表示される。そして、次のフレーム期間が開始され、再び書き込み期間Taが開始されて、上述した動作が繰り返される。

【0121】なお、発光素子に流れる電流の大きさに見合った輝度で発光素子214が発光するので、各画素の階調は、表示期間Tdにおける発光素子に流れる電流の大きさで決まる。

【0122】本発明の第1の構成の画素では、表示期間において発光素子に流れる電流はドレイン電流I1と、

ドレイン電流 I_{r1} の和である。よって、発光素子に流れる電流がドレイン電流 I_{r1} のみに依存していない。そのため、トランジスタ T_{r1} とトランジスタ T_{r2} の特性がずれて、トランジスタ T_{r1} のドレイン電流 I_{r1} に対するトランジスタ T_{r2} のドレイン電流 I_{r2} の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0123】また、本発明の画素では、書き込み期間 T_a においてトランジスタ T_{r1} のドレイン電流は発光素子に流れていない。よって信号線駆動回路によって画素に電流が供給され、トランジスタ T_{r1} のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0124】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、 TFT の特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図25に示した電圧入力型の画素の $TFT51$ を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0125】なお、本実施の形態において、トランジスタ T_{r4} のソースとドレインは、一方はトランジスタ T_{r1} のドレインに、もう一方はトランジスタ T_{r1} のゲート及びトランジスタ T_{r2} のゲートに接続されている。しかし本実施の形態はこの構成に限定されない。本発明の第1の構成の画素は、書き込み期間 T_a においてトランジスタ T_{r1} のゲートとドレインを接続し、表示期間 T_d においてトランジスタ T_{r1} のゲートとドレインを切り離すことができるように、トランジスタ T_{r4} が他の素子または配線と接続されていれば良い。

【0126】つまり、 T_{r3} 、 T_{r4} 、 T_{r5} 、 T_{r6} は、 T_a では図7(A)のように接続され、 T_d では図7(B)のように接続されていれば良い。また、 G_j 、 P_j 、 R_j は3本が別の配線となっているが、まとめて1本や2本にしても良い。

【0127】また、トランジスタ T_{r5} は、書き込み期間 T_a において信号電流 I_c とトランジスタ T_{r1} のドレイン電流 I_{r1} を等しい値に近づけるために設けられている。トランジスタ T_{r5} のソースとドレインは、一方はトランジスタ T_{r1} 及び T_{r2} のソースに、もう一方は発光素子214の画素電極に必ずしも接続している必

要はない。トランジスタ T_{r5} は、書き込み期間 T_a において、トランジスタ T_{r2} のソースが発光素子214の画素電極と信号線 S_i とのいずれか一方に接続されるように、他の配線または素子と接続していても良い。

【0128】つまり、 T_a において T_{r1} を流れる電流は全て電流源で制御されていれば良い。 T_d においては T_{r1} と T_{r2} を流れる電流は発光素子に流れれば良い。

【0129】(実施の形態3) 本実施の形態では、図2に示した発光装置が有する画素101の、図3、図6とは異なる構成について説明する。本実施の形態は図6における T_{r5} と T_{r6} の位置を変えたものである。どちらか一方だけ変えても良い。

【0130】図8に、図2で示した画素101の詳しい構成を示す。図8に示す画素101は、信号線 S_i ($S_1 \sim S_x$ のうちの1つ)、第1走査線 G_j ($G_1 \sim G_y$ のうちの1つ)、第2走査線 P_j ($P_1 \sim P_y$ のうちの1つ)、第3走査線 R_j ($R_1 \sim R_y$ のうちの1つ) 及び電源線 V_i ($V_1 \sim V_x$ のうちの1つ) を有している。

【0131】また画素101は、トランジスタ T_{r1} 、トランジスタ T_{r2} 、トランジスタ T_{r3} 、トランジスタ T_{r4} 、トランジスタ T_{r5} 、トランジスタ T_{r6} 、発光素子224及び保持容量225を有している。保持容量225はトランジスタ T_{r1} 及び T_{r2} のゲート電圧をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0132】トランジスタ T_{r3} のゲートは第1走査線 G_j に接続されている。そしてトランジスタ T_{r3} のソースとドレインは、一方は信号線 S_i に接続されており、もう一方はトランジスタ T_{r1} のソースに接続されている。

【0133】トランジスタ T_{r4} のゲートは、第2走査線 P_j に接続されている。そしてトランジスタ T_{r4} のソースとドレインは、一方は電源線 V_i に、もう一方はトランジスタ T_{r1} 及び T_{r2} のゲートに接続されている。

【0134】トランジスタ T_{r6} のゲートは、第3走査線 R_j に接続されている。そしてトランジスタ T_{r6} のソースとドレインは、一方はトランジスタ T_{r2} のソースに、もう一方は発光素子224の画素電極に接続されている。

【0135】トランジスタ T_{r5} のゲートは、第3走査線 R_j に接続されている。そしてトランジスタ T_{r5} のソースとドレインは、一方はトランジスタ T_{r1} のソースに、もう一方は発光素子224の画素電極に接続されている。

【0136】トランジスタ T_{r1} とトランジスタ T_{r2} のゲートは、互いに接続されている。トランジスタ T_{r1} 及び T_{r2} のドレインは、電源線 V_i に接続されてい

る。

【0137】保持容量225が有する2つの電極は、一方はトランジスタTr1及びTr2のゲートに、もう一方はトランジスタTr1のソースに接続されている。

【0138】電源線Viの電圧（電源電圧）は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0139】なお、トランジスタTr1及びTr2はnチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr1及びTr2の極性は同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びTr2はnチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びTr2はpチャネル型トランジスタであるのが望ましい。

【0140】トランジスタTr3、Tr4、Tr5、Tr6は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr5とTr6は共にゲートが第3走査線Rjに接続されているため、その極性を同じにする。トランジスタTr5のゲートとTr6のゲートが同じ配線に接続されていない場合、その極性は同じでなくとも良い。

【0141】次に、本実施の形態の発光装置の動作について説明する。図8に示した画素を有する発光装置の動作は、図3、図6に示した画素の場合と同様に、書き込み期間Taと表示期間Tdとに分けて説明することが可能である。

【0142】また、第1～3走査線に印加される電圧については、図4に示したタイミングチャートを参照することができる。また図9は、図8に示した画素の、書き込み期間Taと表示期間TdにおけるトランジスタTr1とトランジスタTr2の接続を、簡単に示した図である。

【0143】まず、1ライン目の画素において書き込み期間Taが開始される。書き込み期間Taが開始されると、第1走査線G1、第2走査線P1が選択される。よって、トランジスタTr3、Tr4がオンになる。なお、第3走査線R1は選択されていないので、トランジスタTr5、Tr6はオフになっている。

【0144】そして、信号線駆動回路102に入力されるビデオ信号に基づき、信号線S1～Sxと電源線V1～Vxの間に、それぞれビデオ信号に応じた信号電流Icが流れる。

【0145】図9（A）に、書き込み期間Taにおいて、信号線Siに信号電流Icが流れた場合の、画素101の概略図を示す。226は対向電極に電圧を与える電源との接続用の端子を意味している。また、227は信号線駆動回路102が有する定電流源を意味する。

【0146】トランジスタTr3はオンの状態にあるの

で、信号線Siに信号電流Icが流れると、信号電流IcはトランジスタTr1のドレインとソースの間に流れる。このときトランジスタTr1は、ゲートとドレインが接続されているので飽和領域で動作しており、式1が成り立つ。よって、トランジスタTr1のゲート電圧Vgsは電流値Icによって定まる。

【0147】なお、書き込み期間Taでは、トランジスタTr6がオフであるので、トランジスタTr2のソースは、他の配線及び電源等から電圧が与えられていない、所謂フローティングの状態にある。従って、トランジスタTr2にドレイン電流は流れない。

【0148】1ライン目の画素において書き込み期間Taが終了すると、第1走査線G1、第2走査線P1の選択が終了する。このとき、第2走査線P1の選択が、第1走査線G1よりも先に終了するのが望ましい。なぜならトランジスタTr3が先にオフになってしまうと、保持容量225の電荷がTr4を通して漏れてしまうからである。そして、2ライン目の画素において書き込み期間Taが開始され、第1走査線G2、第2走査線P2が選択される。よって、2ライン目の画素においてトランジスタTr3とトランジスタTr4がオンになる。そして、第3走査線R2は選択されていないので、トランジスタTr5、Tr6はオフになる。

【0149】そして、信号線駆動回路102に入力されるビデオ信号に基づき、信号線S1～Sxと電源線V1～Vxの間に信号電流Icが流れる。そして、信号電流IcによってトランジスタTr1のゲート電圧が定められる。

【0150】そして、2ライン目の画素において書き込み期間Taが終了し、その後、3ライン目からyライン目の画素まで順に書き込み期間Taが開始され、上述した動作が繰り返される。

【0151】一方、1ライン目の画素において書き込み期間Taが終了すると、次に表示期間Tdが開始される。表示期間Tdが開始されると、第3走査線R1が選択される。よって、1ライン目の画素においてトランジスタTr5、Tr6がオンになる。なお、第1走査線G1及び第2走査線P1は選択されていないので、トランジスタTr3及びTr4はオフになっている。

【0152】図9（B）に、表示期間Tdにおける画素の概略図を示す。トランジスタTr3及びトランジスタTr4はオフの状態にある。また、トランジスタTr1及びトランジスタTr2のドレインは電源線Viに接続されており、一定の電圧（電源電圧）が与えられている。

【0153】一方トランジスタTr1においては、書き込み期間Taにおいて定められたVgsがそのまま保持されている。そして、トランジスタTr2のゲートは、トランジスタTr1のゲートに接続されている。また、トランジスタTr2のソースは、トランジスタTr1のソ

ースに接続されている。よって、トランジスタ T_{r1} のゲート電圧は、そのままトランジスタ T_{r2} のゲート電圧となる。さらに、トランジスタ T_{r2} のドレインは電源線 V_i に接続されているので、トランジスタ T_{r2} のドレイン電流 I_{d2} は、トランジスタ T_{r1} のドレイン電流に比例する大きくなる。特に、 $\mu C_0 W/L$ 及び V_{th} が互いに等しいとき、トランジスタ T_{r1} とトランジスタ T_{r2} のドレイン電流は互いに等しくなり、 $I_{d1} = I_{d2} = I_c$ となる。

【0154】また、トランジスタ T_{r5} がオンなので、トランジスタ T_{r1} のドレイン電流 I_{d1} と、トランジスタ T_{r2} のドレイン電流 I_{d2} は、共に発光素子に流れる電流として発光素子 224 に流れる。よって、表示期間 T_d では、ドレイン電流 I_{d1} と、ドレイン電流 I_{d2} を合わせた大きさの電流が発光素子 224 に流れ、該発光素子に流れる電流の大きさに見合った輝度で、発光素子 224 が発光する。

【0155】そして 1 ライン目の画素において表示期間 T_d が開始されると、次に 2 ライン目の画素において表示期間 T_d が開始される。そして 1 ライン目の画素と同様に、第 3 走査線 R_2 が選択され、トランジスタ T_{r5} 、 T_{r6} がオンになる。なお、第 1 走査線 G_2 及び第 2 走査線 P_2 は選択されていないので、トランジスタ T_{r3} 及び T_{r4} はオフになっている。よって、ドレイン電流 I_{d1} と、ドレイン電流 I_{d2} を合わせた電流の大きさに見合った輝度で、発光素子 214 は発光する。

【0156】そして、2 ライン目の画素において表示期間 T_d が開始されると、3 ライン目から y ライン目の画素まで順に表示期間 T_d が開始され、上述した動作が繰り返される。

【0157】書き込み期間 T_a と、表示期間 T_d が終了すると 1 フレーム期間が終了する。1 つのフレーム期間において 1 つの画像が表示される。そして、次のフレーム期間が開始され、再び書き込み期間 T_a が開始されて、上述した動作が繰り返される。

【0158】なお、発光素子に流れる電流の大きさに見合った輝度で発光素子 224 が発光するので、各画素の階調は、表示期間 T_d における発光素子に流れる電流の大きさで決まる。

【0159】本発明の第 1 の構成の画素では、表示期間において発光素子に流れる電流はドレイン電流 I_{d1} と、ドレイン電流 I_{d2} の和である。よって、発光素子に流れる電流がドレイン電流 I_{d1} のみに依存していない。そのため、トランジスタ T_{r1} とトランジスタ T_{r2} の特性がずれて、トランジスタ T_{r1} のドレイン電流 I_{d1} に対するトランジスタ T_{r2} のドレイン電流 I_{d2} の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0160】また、本発明の画素では、書き込み期間 T_a

a においてトランジスタ T_{r1} のドレイン電流は発光素子に流れていない。よって信号線駆動回路によって画素に電流が供給され、トランジスタ T_{r1} のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0161】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、TFT の特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図 25 に示した電圧入力型の画素の TFT 51 を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が増えるのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0162】なお、本実施の形態において、トランジスタ T_{r4} のソースとドレインは、一方はトランジスタ T_{r1} のドレインに、もう一方はトランジスタ T_{r1} のゲート及びトランジスタ T_{r2} のゲートに接続されている。しかし本実施の形態はこの構成に限定されない。本発明の第 1 の構成の画素は、書き込み期間 T_a においてトランジスタ T_{r1} のゲートとドレインを接続し、表示期間においてトランジスタ T_{r1} のゲートとドレインを切り離すことができるように、トランジスタ T_{r4} が他の素子または配線と接続されていれば良い。

【0163】つまり、 T_{r3} 、 T_{r4} 、 T_{r5} 、 T_{r6} は、 T_a では図 9 (A) のように接続され、 T_d では図 9 (B) のように接続されていれば良い。また、 G_j 、 P_j 、 R_j は 3 本が別の配線となっているが、まとめて 1 本や 2 本にしても良い。

【0164】 T_a において T_{r1} を流れる電流は全て電流源で制御されていれば良い。 T_d においては T_{r1} と T_{r2} を流れる電流は発光素子に流れれば良い。

【0165】(実施の形態 4) 本実施の形態では、本発明の第 2 の構成の発光装置が有する画素の構成について説明する。

【0166】図 37 (A) に、本実施の形態の画素の回路図を示す。図 37 に示す画素は、トランジスタ T_{r1} 、 T_{r2} 、 T_{r3} 、 T_{r4} 、 T_{r5} 、 T_{r6} 、発光素子 6008 及び保持容量 6000 を有している。保持容量 6000 はトランジスタ T_{r1} 及び T_{r2} のゲート電圧をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0167】トランジスタ T_{r3} のゲートは端子 6002 に接続されている。そしてトランジスタ T_{r3} のソー

スとドレインは、一方は端子 6001 に接続されており、もう一方はトランジスタ $Tr1$ のドレインに接続されている。

【0168】トランジスタ $Tr4$ のゲートは、端子 6003 に接続されている。そしてトランジスタ $Tr4$ のソースとドレインは、一方は端子 6001 に、もう一方はトランジスタ $Tr1$ 及び $Tr2$ のゲートに接続されている。

【0169】トランジスタ $Tr5$ のゲートは、端子 6004 に接続されている。そしてトランジスタ $Tr5$ のソースとドレインは、一方はトランジスタ $Tr1$ のドレインに、もう一方はトランジスタ $Tr2$ のドレインに接続されている。

【0170】トランジスタ $Tr6$ のゲートは、端子 6007 に接続されている。そしてトランジスタ $Tr6$ のソースとドレインは、一方はトランジスタ $Tr2$ のドレインに、もう一方は発光素子 6008 の画素電極に接続されている。

【0171】トランジスタ $Tr1$ とトランジスタ $Tr2$ のゲートは、互いに接続されている。トランジスタ $Tr1$ 及び $Tr2$ のソースは、共に端子 6005 に接続されている。

【0172】保持容量 6000 が有する 2 つの電極は、一方はトランジスタ $Tr1$ 及び $Tr2$ のゲートに、もう一方はトランジスタ $Tr1$ 及び $Tr2$ のソースに接続されている。

【0173】発光素子 6008 の対向電極は端子 6006 に接続されている。端子 6005 と端子 6006 にはそれぞれ電源により電圧が与えられており、常に所定の電圧差が生じている。

【0174】なお、図 37 (A) では、 $Tr1$ 及び $Tr2$ が共に p チャネル型 TFT である場合を示しており、トランジスタ $Tr1$ と $Tr2$ の極性は必ず同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ $Tr1$ 及び $Tr2$ は p チャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ $Tr1$ 及び $Tr2$ は n チャネル型トランジスタであるのが望ましい。

【0175】トランジスタ $Tr3 \sim Tr6$ は、n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。各端子に与えられる電圧との兼ね合いで決めることができる。

【0176】次に、本実施の形態の発光装置の動作について説明する。図 37 (A) に示した画素を有する発光装置の動作は、書き込み期間 Ta と表示期間 Td とに分けて説明することが可能である。

【0177】図 37 (A) に示した画素の、書き込み期間 Ta 開始時におけるトランジスタ $Tr1$ と $Tr2$ の接続を、図 37 (B) に簡単に示す。書き込み期間 Ta 開

始時において、 $Tr3 \sim Tr5$ はオン、 $Tr6$ はオフになる。そして、端子 6001 に入力されるビデオ信号に基づき、端子 6001 と端子 6005 の間に、それぞれビデオ信号に応じた信号電流 Ic が流れる。

【0178】信号電流 Ic により、 $Tr1$ のソースとドレインの間にドレイン電流 I_1 が、また $Tr2$ のソースとドレインの間にドレイン電流 I_2 が流れる。つまり信号電流 Ic は、ドレイン電流 I_1 とドレイン電流 I_2 の和に相当する。このときトランジスタ $Tr1$ は、ゲートとドレインが接続されているので飽和領域で動作しており、式 1 が成り立つ。よって、トランジスタ $Tr1$ のゲート電圧 V_{gs} は電流 I_1 によって定まる。

【0179】そして、トランジスタ $Tr2$ のゲートは、トランジスタ $Tr1$ のゲートに接続されている。また、トランジスタ $Tr2$ のソースは、トランジスタ $Tr1$ のソースに接続されている。したがって、トランジスタ $Tr1$ のゲート電圧は、そのままトランジスタ $Tr2$ のゲート電圧となる。

【0180】なお、 $Tr1$ と $Tr2$ のゲート電圧は同じになるが、 μ 、 C_0 、 W/L の値が $Tr1$ と $Tr2$ で異なる場合、 I_1 と I_2 は必ずしも等しくない。

【0181】書き込み期間 Ta が終了する前に、 $Tr4$ をオフにするのが望ましい。 $Tr4$ をオフにしたときのトランジスタ $Tr1$ と $Tr2$ の接続を、図 37 (C) に簡単に示す。なぜならトランジスタ $Tr3$ が先にオフになってしまうと、保持容量 6000 の電荷が $Tr4$ を通って漏れてしまうからである。

【0182】次に、書き込み期間 Ta が終了すると表示期間 Td が開始される。表示期間 Td が開始されると、 $Tr3 \sim Tr5$ がオフになり、 $Tr6$ がオンになる。

【0183】図 37 (D) に、表示期間 Td における画素の概略図を示す。トランジスタ $Tr2$ において、書き込み期間 Ta で定められた V_{gs} がそのまま保持容量 6000 により保持されている。さらに、 $Tr6$ がオンになるので、 $Tr2$ のドレイン電流 I_2 が発光素子 6008 に供給される。発光素子 6008 は、該発光素子に供給される電流 I_2 の大きさに見合った輝度で発光する。つまり発光素子に流れる電流の大きさに見合った輝度で発光素子 6008 が発光するので、各画素の階調は、表示期間 Td において発光素子に流れる電流の大きさで決まる。

【0184】書き込み期間 Ta と、表示期間 Td が終了すると 1 フレーム期間が終了する。1 つのフレーム期間において 1 つの画像が表示される。そして、次のフレーム期間が開始され、再び書き込み期間 Ta が開始されて、上述した動作が繰り返される。

【0185】本発明の第 2 の構成の画素では、トランジスタ $Tr1$ と $Tr2$ の特性がずれることにより、駆動部から発光素子に供給される電流 I_2 の大きさが所望の値に保たれなくなることがある。しかし、2 つの $Tr1$ と

Tr 2 を共に用いて電流を電圧に変換しているため、変換された電圧を平均化することができ、そして駆動部から発光素子に供給される電流 I_1 は該平均化された電圧に応じた大きさであるので、特性のずれに起因する発光素子に供給される電流量のばらつきを、図 27 (A) に示した画素に比べ約半分程度に抑えることができる。よって、画素間の輝度のばらつきを抑えることができる。また、画素に供給された電流は、電流 I_1 よりも大きい。そのため、電流を書き込む時間を短くすることができる。

【0186】また、本発明の画素では、書き込み期間 Ta において信号電流は発光素子に流れていない。よって信号線駆動回路によって画素に電流が供給され、トランジスタ Tr 1 のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くことができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0187】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、TF T の特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図 25 に示した電圧入力型の画素の TF T 51 を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0188】なお、トランジスタ Tr 3、Tr 4、Tr 5、Tr 6 の接続は図 37 (A) に示した構成に限定されない。各期間において Tr 1 と Tr 2 が図 37 (B) ~ (D) に示したような接続がなされるように、Tr 3、Tr 4、Tr 5、Tr 6 の接続を決めれば良い。

【0189】すなわち、書き込み期間の開始時において、図 37 (B) に示すように Tr 1 と Tr 2 のソースを共に端子 6005 に接続し、Tr 1 と Tr 2 のゲート及びドレインを、共に端子 6001 に接続する。また保持容量の 2 つの電極は、一方を端子 6005 に、もう一方を Tr 1 と Tr 2 のゲートに接続する。そして書き込み期間の終了前において、図 37 (C) に示すように Tr 1 と Tr 2 のゲートを接続し、Tr 1 と Tr 2 のソースを共に端子 6005 に接続し、Tr 1 と Tr 2 のドレインを共に端子 6001 に接続する。また保持容量の 2 つの電極は、一方を端子 6005 に、もう一方を Tr 2 のゲートに接続する。これにより、保持容量 6000 の電荷を保持することができる。なお、保持容量の電荷が保持されていれば良いので、必ずしも Tr 1 と Tr 2 の

ゲートが接続されていなくとも良い。Tr 1 と Tr 2 のゲートが接続されていない場合、Tr 1 のゲートとドレインが接続されていても良い。

【0190】表示期間において、図 37 (D) に示すように Tr 1 と Tr 2 のゲートを接続し、Tr 1 と Tr 2 のソースを共に端子 6005 に接続し、Tr 1 のドレインもしくはソースをフローティングにし、Tr 2 のドレインを発光素子の画素電極に接続する。また保持容量の 2 つの電極は、一方を端子 6005 に、もう一方を Tr 2 のゲートに接続する。このとき、Tr 1 と Tr 2 のゲートは接続されていなくとも良く、この場合、Tr 1 のゲートとドレインが接続されていても良い。

【0191】例えば、Tr 3 のソースとドレインは、一方は必ず端子 6001 に接続されているが、他方は必ずしも Tr 1 のドレインに接続されている必要はなく、Tr 2 のドレインに接続されていても良い。また、Tr 4 のソースとドレインは、一方は必ず Tr 1 及び Tr 2 のゲートに接続されているが、他方は必ずしも端子 6001 に接続されている必要はなく、Tr 1 のドレインまたは Tr 2 のドレインに接続されていても良い。また、Tr 5 のソースとドレインは、一方は必ず Tr 2 のドレインに接続されているが、他方は必ずしも Tr 1 のドレインに接続されている必要はなく、端子 6001 に接続されていても良い。

【0192】(実施の形態 5) 本実施の形態では、本発明の第 2 の構成の発光装置が有する画素の構成について説明する。

【0193】図 38 (A) に、本実施の形態の画素の回路図を示す。図 38 に示す画素は、トランジスタ Tr 1、Tr 2、Tr 3、Tr 4、Tr 5、Tr 6、発光素子 6108 及び保持容量 6100 を有している。保持容量 6100 は Tr 1 及び Tr 2 のゲート電圧をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0194】トランジスタ Tr 3 のゲートは端子 6102 に接続されている。そしてトランジスタ Tr 3 のソースとドレインは、一方は端子 6101 に接続されており、もう一方はトランジスタ Tr 1 のソースに接続されている。

【0195】トランジスタ Tr 4 のゲートは、端子 6103 に接続されている。そしてトランジスタ Tr 4 のソースとドレインは、一方は端子 6105 に、もう一方はトランジスタ Tr 1 及び Tr 2 のゲートに接続されている。

【0196】トランジスタ Tr 5 のゲートは、端子 6104 に接続されている。そしてトランジスタ Tr 5 のソースとドレインは、一方はトランジスタ Tr 1 のソースに、もう一方はトランジスタ Tr 2 のソースに接続されている。

【0197】トランジスタ Tr 6 のゲートは、端子 61

07に接続されている。そしてトランジスタTr6のソースとドレインは、一方はトランジスタTr2のソースに、もう一方は発光素子6108の画素電極に接続されている。

【0198】トランジスタTr1とトランジスタTr2のゲートは、互いに接続されている。トランジスタTr1及びTr2のドレインは、共に端子6105に接続されている。

【0199】保持容量6100が有する2つの電極は、一方はトランジスタTr1及びTr2のゲートに、もう一方はトランジスタTr1及びTr2のソースに接続されている。

【0200】発光素子6108の対向電極は端子6106に接続されている。端子6105と端子6106にはそれぞれ電源により電圧が与えられており、常に所定の電圧差が生じている。

【0201】なお、図38(A)では、Tr1及びTr2が共にnチャネル型TFTである場合を示しており、トランジスタTr1とTr2の極性は必ず同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びTr2はpチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びTr2はnチャネル型トランジスタであるのが望ましい。

【0202】トランジスタTr3~Tr6は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。各端子に与えられる電圧との兼ね合いで決めることができる。

【0203】次に、本実施の形態の発光装置の動作について説明する。図38(A)に示した画素を有する発光装置の動作は、書き込み期間Taと表示期間Tdとに分けて説明することが可能である。

【0204】図38(A)に示した画素の、書き込み期間Ta開始時におけるトランジスタTr1とTr2の接続を、図38(B)に簡単に示す。書き込み期間Ta開始時において、Tr3~Tr5はオン、Tr6はオフになる。そして、端子6101に入力されるビデオ信号に基づき、端子6101と端子6105の間に、それぞれビデオ信号に応じた信号電流Icが流れる。

【0205】信号電流Icにより、Tr1のソースとドレインの間にドレイン電流I₁が、またTr2のソースとドレインの間にドレイン電流I₂が流れる。つまり信号電流Icは、ドレイン電流I₁とドレイン電流I₂の和に相当する。このときトランジスタTr1は、ゲートとドレインが接続されているので飽和領域で動作しており、式1が成り立つ。よって、トランジスタTr1のゲート電圧V_{gs}は電流I₁によって定まる。

【0206】そして、トランジスタTr2のゲートは、トランジスタTr1のゲートに接続されている。また、

トランジスタTr2のソースは、トランジスタTr1のソースに接続されている。したがって、トランジスタTr1のゲート電圧は、そのままトランジスタTr2のゲート電圧となる。

【0207】なお、Tr1とTr2のゲート電圧は同じになるが、 μ 、C_o、W/Lの値がTr1とTr2で異なる場合、I₁とI₂は必ずしも等しくない。

【0208】書き込み期間Taが終了する前に、Tr4をオフにするのが望ましい。Tr4をオフにしたときのトランジスタTr1とTr2の接続を、図38(C)に簡単に示す。なぜならトランジスタTr3が先にオフになってしまうと、保持容量6100の電荷がTr4を通して漏れてしまうからである。

【0209】次に、書き込み期間Taが終了すると表示期間Tdが開始される。表示期間Tdが開始されると、Tr3~Tr5がオフになり、Tr6がオンになる。

【0210】図38(D)に、表示期間Tdにおける画素の概略図を示す。トランジスタTr2において、書き込み期間Taで定められたV_{gs}がそのまま保持容量6100により保持されている。さらに、Tr6がオンになるので、Tr2のドレイン電流I₂が発光素子6108に供給される。発光素子6108は、該発光素子に供給される電流I₂の大きさに見合った輝度で発光する。つまり発光素子に流れる電流の大きさに見合った輝度で発光素子6108が発光するので、各画素の階調は、表示期間Tdにおいて発光素子に流れる電流の大きさで決まる。

【0211】書き込み期間Taと、表示期間Tdが終了すると1フレーム期間が終了する。1つのフレーム期間において1つの画像が表示される。そして、次のフレーム期間が開始され、再び書き込み期間Taが開始されて、上述した動作が繰り返される。

【0212】本発明の第2の構成の画素では、トランジスタTr1とTr2の特性がずれることにより、駆動部から発光素子に供給される電流I₂の大きさが所望の値に保たれなくなることがある。しかし、2つのTr1とTr2を共に用いて電流を電圧に変換しているので、変換された電圧を平均化することができ、そして駆動部から発光素子に供給される電流I₂は該平均化された電圧に応じた大きさであるので、特性のずれに起因する発光素子に供給される電流量のばらつきを、図27(A)に示した画素に比べ約半分程度に抑えることができる。よって、画素間の輝度のばらつきを抑えることができる。また、画素に供給された電流は、電流I₂よりも大きい。そのため、電流を書き込む時間を短くすることができる。

【0213】また、本発明の画素では、書き込み期間Taにおいて信号電流Icは発光素子に流れていない。よって信号線駆動回路によって画素に電流が供給され、トランジスタTr1のドレイン電流が流れることでゲート

電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0214】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、TF Tの特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図25に示した電圧入力型の画素のTF T51を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0215】なお、トランジスタTr 3、Tr 4、Tr 5、Tr 6の接続は図38 (A) に示した構成に限定されない。各期間においてTr 1とTr 2が図38 (B) ~ (D) に示したような接続がなされるように、Tr 3、Tr 4、Tr 5、Tr 6の接続を決めれば良い。

【0216】すなわち、書き込み期間の開始時において、図38 (B) に示すようにTr 1とTr 2のソースを共に端子6101に接続し、Tr 1とTr 2のゲート及びドレインを、共に端子6105に接続する。また保持容量の2つの電極は、一方を端子6101に、もう一方をTr 1とTr 2のゲートに接続する。そして書き込み期間の終了前において、図38 (C) に示すようにTr 1とTr 2のゲートを接続し、Tr 1とTr 2のドレインを共に端子6105に接続する。また保持容量の2つの電極は、一方をTr 2のソースに、もう一方をTr 2のゲートに接続する。これにより、保持容量6100の電荷を保持することができる。なお、保持容量の電荷が保持されていれば良いので、必ずしもTr 1とTr 2のゲートが接続されていなくとも良い。Tr 1とTr 2のゲートが接続されていない場合、Tr 1のゲートとドレインが接続されていても良い。

【0217】表示期間において、図38 (D) に示すようにTr 1とTr 2のゲートを接続し、Tr 1とTr 2のドレインを共に端子6105に接続し、Tr 1のソースもしくはドレインをフローティングにし、Tr 2のソースを発光素子の画素電極に接続する。また保持容量の2つの電極は、一方をTr 2のソースに、もう一方をTr 2のゲートに接続する。このとき、Tr 1とTr 2のゲートは接続されていなくとも良く、この場合、Tr 1のゲートとドレインが接続されていても良い。

【0218】例えば、Tr 3のソースとドレインは、一方は必ず端子6101に接続されているが、他方は必ずしもTr 1のソースに接続されている必要はなく、Tr

2のソースに接続されていても良い。また、Tr 5のソースとドレインは、一方は必ずTr 2のドレインに接続されているが、他方は必ずしもTr 1のドレインに接続されている必要はなく、端子6101に接続されていても良い。

【0219】(実施の形態6) 実施の形態1~5では、ビデオ信号がアナログの場合について説明したが、デジタルのビデオ信号を用いて駆動させることも可能である。

【0220】デジタルのビデオ信号を用いた時間階調の駆動方法(デジタル駆動法)の場合、1フレーム期間中に書き込み期間Taと表示期間Tdが繰り返し出現することで、1つの画像を表示することが可能である。

【0221】例えばnビットのビデオ信号によって画像を表示する場合、少なくともn個の書き込み期間と、n個の表示期間とが1フレーム期間内に設けられる。n個の書き込み期間(Ta1~Tan)と、n個の表示期間(Td1~Tdn)は、ビデオ信号の各ビットに対応している。

【0222】書き込み期間Tam (mは1~nの任意の数)の次には、同じビット数に対応する表示期間、この場合Tdmが出現する。書き込み期間Taと表示期間Tdとを合わせてサブフレーム期間SFと呼ぶ。mビット目に対応している書き込み期間Tamと表示期間Tdmとを有するサブフレーム期間はSFmとなる。

【0223】サブフレーム期間SF1~SFnの長さは、SF1:SF2:…:SFn=2⁰:2¹:…:2ⁿ⁻¹を満たす。

【0224】各サブフレーム期間において、発光素子を発光させるかさせないかが、デジタルのビデオ信号の各ビットによって選択される。そして、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調数を制御することができる。

【0225】なお、表示上での画質向上のため、表示期間の長いサブフレーム期間を、幾つかに分割しても良い。具体的な分割の仕方については、特願2000-267164号において開示されているので、参照することが可能である。

【0226】また、面積階調と組み合わせて階調を表示するようにしても良い。

【0227】なお、本発明の発光装置において、画素に用いるトランジスタは単結晶シリコンを用いて形成されたトランジスタであっても良いし、ポリシリコンやアモルファスシリコンを用いた薄膜トランジスタであっても良い。

【0228】

【実施例】以下に、本発明の実施例について説明する。

【0229】(実施例1) 本実施例では、図2に示した発光装置が有する画素101の、図3、図6、図8とは異なる構成について説明する。

【0230】図10に、図2で示した画素101の詳細構成を示す。図10に示す画素101は、信号線Si (S1~Sxのうちの1つ)、第1走査線Gj (G1~Gyのうちの1つ)、第2走査線Pj (P1~Pyのうちの1つ)、第3走査線Rj (R1~Ryのうちの1つ) 及び電源線Vi (V1~Vxのうちの1つ) を有している。

【0231】また画素101は、トランジスタTr1、トランジスタTr2、トランジスタTr3、トランジスタTr4、トランジスタTr5、発光素子234及び保持容量235を有している。保持容量235はトランジスタTr1及びTr2のゲートとソースの間の電圧(ゲート電圧)をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0232】トランジスタTr3のゲートは第1走査線Gjに接続されている。そしてトランジスタTr3のソースとドレインは、一方は信号線Siに接続されており、もう一方はトランジスタTr1のドレインに接続されている。

【0233】トランジスタTr4のゲートは、第2走査線Pjに接続されている。そしてトランジスタTr4のソースとドレインは、一方はトランジスタTr1のドレインに、もう一方はトランジスタTr1及びTr2のゲートに接続されている。

【0234】トランジスタTr5のゲートは、第3走査線Rjに接続されている。そしてトランジスタTr5のソースとドレインは、一方はトランジスタTr1のドレインに、もう一方はトランジスタTr2のドレインに接続されている。

【0235】トランジスタTr1とトランジスタTr2のゲートは、互いに接続されている。トランジスタTr1とトランジスタTr2のソースは、共に電源線Viに接続されている。そして、トランジスタTr2のドレインは、発光素子234の画素電極に接続されている。

【0236】保持容量235が有する2つの電極は、一方はトランジスタTr1とトランジスタTr2のゲートに、もう一方は電源線Viに接続されている。

【0237】発光素子234は陽極と陰極を有しており、本明細書では、陽極を画素電極として用いる場合は陰極を対向電極と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。

【0238】電源線Viの電圧(電源電圧)は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0239】なお、トランジスタTr1及びTr2はnチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr1及びTr2の極性は同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1及びTr2はpチャネル型トランジスタであるのが

望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1及びTr2はnチャネル型トランジスタであるのが望ましい。

【0240】トランジスタTr3、Tr4、Tr5は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。また、Gj、Pj、Rjは3本が別の配線となっているが、まとめて1本や2本にしても良い。

【0241】図10に示した画素を有する発光装置の動作は、図3に示した画素の場合と同様に、書き込み期間Taと表示期間Tdとに分けて説明することが可能である。そして書き込み期間Taと表示期間Tdにおける画素の動作は、図3に示した画素の場合と同じであり、実施の形態1の図4及び図5を参照することができるので、ここでは説明を省略する。

【0242】(実施例2) 本実施例では、実施の形態1に示した発光装置において、トランジスタTr5のゲートを第1の走査線に接続した場合の、画素の構成について説明する。

【0243】図11に、図2で示した画素101の詳細構成を示す。図11に示す画素101は、信号線Si (S1~Sxのうちの1つ)、第1走査線Gj (G1~Gyのうちの1つ)、第2走査線Pj (P1~Pyのうちの1つ) 及び電源線Vi (V1~Vxのうちの1つ) を有している。

【0244】また画素101は、トランジスタTr1、トランジスタTr2、トランジスタTr3、トランジスタTr4、トランジスタTr5、発光素子244及び保持容量245を有している。保持容量245はトランジスタTr1及びTr2のゲートとソースの間の電圧(ゲート電圧)をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0245】トランジスタTr3のゲートは第1走査線Gjに接続されている。そしてトランジスタTr3のソースとドレインは、一方は信号線Siに接続されており、もう一方はトランジスタTr1のドレインに接続されている。

【0246】トランジスタTr4のゲートは、第2走査線Pjに接続されている。そしてトランジスタTr4のソースとドレインは、一方はトランジスタTr1のドレインに、もう一方はトランジスタTr1のゲート及びトランジスタTr2のゲートに接続されている。

【0247】トランジスタTr5のゲートは、第1走査線Gjに接続されている。そしてトランジスタTr5のソースとドレインは、一方はトランジスタTr1のドレインに、もう一方はトランジスタTr2のドレインに接続されている。

【0248】トランジスタTr1とトランジスタTr2のゲートは、互いに接続されている。トランジスタTr1とトランジスタTr2のソースは、共に電源線Viに

接続されている。そして、トランジスタ Tr_2 のドレインは、発光素子 244 の画素電極に接続されている。

【0249】保持容量 245 が有する 2 つの電極は、一方はトランジスタ Tr_1 とトランジスタ Tr_2 のゲートに、もう一方は電源線 Vi に接続されている。

【0250】電源線 Vi の電圧（電源電圧）は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0251】なお、本実施例では、トランジスタ Tr_1 及び Tr_2 は p チャネル型トランジスタを用いている。トランジスタ Tr_1 及び Tr_2 は、n チャネル型トランジスタでも良い。ただし、トランジスタ Tr_1 及び Tr_2 の極性は同じである。

【0252】なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ Tr_1 及び Tr_2 は p チャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ Tr_1 及び Tr_2 は n チャネル型トランジスタであるのが望ましい。

【0253】また、本実施例では、トランジスタ Tr_3 のゲートとトランジスタ Tr_5 のゲートが接続されているため、トランジスタ Tr_3 と Tr_5 の極性は異なっている。

【0254】また、本実施例では、トランジスタ Tr_3 と Tr_4 は、共に n チャネル型トランジスタを用いている。トランジスタ Tr_3 と Tr_4 は p チャネル型トランジスタでも良い。ただし、トランジスタ Tr_3 及び Tr_4 の極性は同じである。本実施例においてトランジスタ Tr_3 と Tr_4 のゲートを異なる配線に接続したのは、書き込み期間が終了するときに、トランジスタ Tr_4 を Tr_3 よりも先にオフにすることができるようになるためである。トランジスタ Tr_4 を Tr_3 よりも先にオフにすることで、保持容量 245 の電荷がトランジスタ Tr_4 を通って漏れるのを防ぐことができる。

【0255】図 11 に示した画素を有する発光装置の動作は、図 3 に示した画素の場合と同様に、書き込み期間 Ta と表示期間 Td とに分けて説明することが可能である。そして書き込み期間 Ta と表示期間 Td における画素の動作は、図 3 に示した画素の場合と同じであり、実施の形態 1 の図 5 を参照することができるので、ここでは説明を省略する。

【0256】本実施例の発光装置の場合、実施の形態 1 に示した発光装置に比べて、各画素が有する配線を 1 つ省くことができる。そのため、作製工程における歩留まりを高くすることができる。また、開口率を高めることができるので、発光素子からの光が配線等の形成されている基板側に発せられる場合、同じ消費電流でも画面を明るくすることができる。

【0257】（実施例 3）本実施例では、実施の形態 1 に示した発光装置において、トランジスタ Tr_3 、 Tr_5

4、 Tr_5 のゲートを同じ走査線に接続した場合の、画素の構成について説明する。

【0258】図 12 に、図 2 で示した画素 101 の詳しい構成を示す。図 12 に示す画素 101 は、信号線 Si ($S1 \sim Sx$ のうちの 1 つ)、走査線 Gj ($G1 \sim Gy$ のうちの 1 つ) 及び電源線 Vi ($V1 \sim Vx$ のうちの 1 つ) を有している。

【0259】また画素 101 は、トランジスタ Tr_1 、トランジスタ Tr_2 、トランジスタ Tr_3 、トランジスタ Tr_4 、トランジスタ Tr_5 、発光素子 254 及び保持容量 255 を有している。保持容量 255 はトランジスタ Tr_1 及び Tr_2 のゲートとソースの間の電圧（ゲート電圧）をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0260】トランジスタ Tr_3 のゲートは走査線 Gj に接続されている。そしてトランジスタ Tr_3 のソースとドレインは、一方は信号線 Si に接続されており、もう一方はトランジスタ Tr_1 のドレインに接続されている。

【0261】トランジスタ Tr_4 のゲートは、走査線 Gj に接続されている。そしてトランジスタ Tr_4 のソースとドレインは、一方はトランジスタ Tr_1 のドレインに、もう一方はトランジスタ Tr_1 及び Tr_2 のゲートに接続されている。

【0262】トランジスタ Tr_5 のゲートは、走査線 Gj に接続されている。そしてトランジスタ Tr_5 のソースとドレインは、一方はトランジスタ Tr_1 のドレインに、もう一方はトランジスタ Tr_2 のドレインに接続されている。

【0263】トランジスタ Tr_1 とトランジスタ Tr_2 のゲートは、互いに接続されている。トランジスタ Tr_1 とトランジスタ Tr_2 のソースは、共に電源線 Vi に接続されている。そして、トランジスタ Tr_2 のドレインは、発光素子 254 の画素電極に接続されている。

【0264】保持容量 255 が有する 2 つの電極は、一方はトランジスタ Tr_1 及び Tr_2 のゲートに、もう一方は電源線 Vi に接続されている。

【0265】電源線 Vi の電圧（電源電圧）は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0266】なお、本実施例では、トランジスタ Tr_1 及び Tr_2 は p チャネル型トランジスタを用いている。トランジスタ Tr_1 及び Tr_2 は、n チャネル型トランジスタでも良い。ただし、トランジスタ Tr_1 及び Tr_2 の極性は同じである。

【0267】なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ Tr_1 及び Tr_2 は p チャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ Tr_1 及び Tr_2 は n チャ

ネル型トランジスタであるのが望ましい。

【0268】また、本実施例では、トランジスタTr3とTr4は、共にnチャネル型トランジスタを用い、トランジスタTr5はpチャネル型トランジスタを用いている。トランジスタTr3、Tr4、Tr5は、nチャネル型トランジスタでもpチャネル型トランジスタでも良い。ただし、トランジスタTr3及びTr4の極性は同じであり、トランジスタTr5の極性は、トランジスタTr3及びTr4の逆である。

【0269】図12に示した画素を有する発光装置の動作は、図3に示した画素の場合と同様に、書き込み期間Taと表示期間Tdとに分けて説明することが可能である。そして書き込み期間Taと表示期間Tdにおける画素の動作は、図3に示した画素の場合と同じであり、実施の形態1の図5を参照することができるので、ここでは説明を省略する。

【0270】なお、本実施例において、トランジスタTr4のソースとドレインは、一方はトランジスタTr1のドレインに、もう一方はトランジスタTr1のゲート及びトランジスタTr2のゲートに接続されている。しかし本実施例はこの構成に限定されない。本発明の画素は、書き込み期間TaにおいてトランジスタTr1のゲートとドレインを接続し、表示期間においてトランジスタTr1のゲートとドレインを切り離すことができるように、トランジスタTr4が他の素子または配線と接続されていれば良い。つまり、Tr3、Tr4、Tr5は、Taでは図5(A)のように接続され、Tdでは図5(B)のように接続されていれば良い。

【0271】本実施例の発光装置の場合、実施の形態1に示した発光装置に比べて、各画素が有する配線を2つ省くことができる。また、実施例2に示した発光装置に比べて、各画素が有する配線を1つ省くことができる。そのため、作製工程における歩留まりを高くすることができる。また、開口率を高めることができるので、発光素子からの光が配線等の形成されている基板側に発せられる場合、同じ消費電流でも画面を明るくすることができる。

【0272】(実施例4) 本発明の発光装置の作成方法の一例について、図13～図17を用いて説明する。本実施例では、図3に示した画素を有する発光装置の作製方法について示す。なお、ここでは代表的に、トランジスタTr3、Tr5と、画素部の周辺に設けられる駆動部のトランジスタを示す。なおトランジスタTr1、Tr2及びTr4については特に図示しないが、本実施例の作製方法に従って作製することが可能である。また、図3に示した発光装置以外でも、本発明の発光装置は、本実施例で示した作製方法を用いて作製することが可能である。また、駆動部に関しては基本単位であるCMOS回路のTFETを図示することとする。

【0273】まず、図13(A)に示すように、コーニ

ング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板5001上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜5002を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜5002aを10～200nm(好ましくは50～100nm)形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜5002bを50～200nm(好ましくは100～150nm)の厚さに積層形成する。本実施例では下地膜5002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0274】島状半導体層5003～5006は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層5003～5006の厚さは25～80nm(好ましくは30～60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0275】レーザー結晶化法で結晶質半導体膜を作製する場合は、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し、半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100～400mJ/cm²(代表的には200～300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30～300kHzとし、レーザーエネルギー密度を300～600mJ/cm²(代表的には350～500mJ/cm²)とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50～90%として行う。

【0276】なおレーザーは、連続発振またはパルス発振の気体レーザーもしくは固体レーザーを用いることができる。気体レーザーとして、エキシマレーザー、Arレーザー、Krレーザーなどがあり、固体レーザーとして、YAGレーザー、YVO₄レーザー、YLFレーザー、YAlO₃レーザー、ガラスレーザー、ルビーレーザー、アレキサンドライドレーザー、Ti:サファイアレーザーなどが挙げられる。固体レーザーとしては、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、YVO₄、YLF、YAlO₃などの結晶を使ったレーザー等も使用可能である。当該レーザーの基本波はドーピングする材料によって異なり、1μm前後の基本波を有するレ

ーザー光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることができる。

【0277】非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd:YVO₄レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を適用するのが望ましい。具体的には、出力10Wの連続発振のYVO₄レーザーから射出されたレーザー光を非線形光学素子により高調波に変換する。また、共振器の中にYVO₄結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形形状または楕円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、10～2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射する。

【0278】次いで、島状半導体層5003～5006を覆うゲート絶縁膜5007を形成する。ゲート絶縁膜5007はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波（13.56MHz）、電力密度0.5～0.8W/cm²で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0279】そして、ゲート絶縁膜5007上にゲート電極（ゲート）を形成するための第1の導電膜5008と第2の導電膜5009とを形成する。本実施例では、第1の導電膜5008をTaで50～100nmの厚さに形成し、第2の導電膜5009をWで100～300nmの厚さに形成する。

【0280】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のTa膜の抵抗率は20μΩcm程度でありゲート電極に使用することが出来るが、β相のTa膜の抵抗率は180μΩcm程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタルを10～50nm程度の厚さでTaの下地に形成しておくこととα相のTa膜を容易に得

ることが出来る。

【0281】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タンゲステン（WF₆）を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999または99.99%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20μΩcmを実現することが出来る。

【0282】なお、本実施例では、第1の導電膜5008をTa、第2の導電膜5009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングしたポリシリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例で望ましいものとしては、第1の導電膜5008を窒化タンタル（Ta₂N₅）で形成し、第2の導電膜5009をWとする組み合わせ、第1の導電膜5008を窒化タンタル（Ta₂N₅）で形成し、第2の導電膜5009をAlとする組み合わせ、第1の導電膜5008を窒化タンタル（Ta₂N₅）で形成し、第2の導電膜5009をCuとする組み合わせが挙げられる。

【0283】次に、レジストによるマスク5010を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成して行う。基板側（試料ステージ）にも100WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0284】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15～45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4（代表的には3）であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50nm程度エッチングされることになる。こうして、第1のエッチング処

理により第1の導電層と第2の導電層から成る第1の形状の導電層5011~5016(第1の導電層5011a~5016aと第2の導電層5011b~5016b)を形成する。このとき、ゲート絶縁膜5007においては、第1の形状の導電層5011~5016で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。(図13(B))

【0285】そして、第1のドーピング処理を行いN型を付与する不純物元素を添加する。ドーピングの方法はイオンドープ法もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーピング量を $1 \times 10^{11} \sim 5 \times 10^{14}$ atoms/cm²とし、加速電圧を60~100keVとして行う。N型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層5011~5016がN型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域5017~5025が形成される。第1の不純物領域5017~5024には $1 \times 10^{14} \sim 1 \times 10^{17}$ atoms/cm²の濃度範囲でN型を付与する不純物元素を添加する。(図13(B))

【0286】次に、図13(C)に示すように、レジストマスクは除去しないまま、第2のエッチング処理を行う。エッチングガスにCF₄とCl₂とO₂を用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層5026~5031(第1の導電層5026a~5031aと第2の導電層5026b~5031b)を形成する。このとき、ゲート絶縁膜5007においては、第2の形状の導電層5026~5031で覆われない領域はさらに20~50nm程度エッチングされ薄くなった領域が形成される。

【0287】W膜やTa膜のCF₄とCl₂の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWCl₄、TaF₅、TaCl₅は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、O₂を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0288】そして、図14(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーピング量を下げて高い加速電圧の条件としてN型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120keVとし、 1×10^{11} atoms/cm²のドーピング量で行い、図13(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層5026~5029を不純物元素に対するマスクとして用い、第1の導電層5026a~5029aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域5032~5035が形成される。この第3の不純物領域5032~5035に添加されたリン(P)の濃度は、第1の導電層5026a~5029aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層5026a~5029aのテーパー部と重なる半導体層において、第1の導電層5026a~5029aのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0289】図14(B)に示すように第3のエッチング処理を行う。エッチングガスにCHF₃を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層5026a~5031aのテーパー部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層5037~5042(第1の導電層5037a~5042aと第2の導電層5037b~5042b)を形成する。このとき、ゲート絶縁膜5007においては、第3の形状の導電層5037~5042で覆われない領域はさらに20~50nm程度エッチングされ薄くなった領域が形成される。

【0290】第3のエッチング処理によって、第3の不純物領域5032~5035においては、第1の導電層5037a~5040aと重なる第3の不純物領域5032a~5035aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域5032b~5035bとが形成される。

【0291】そして、図14(C)に示すように、Pチャネル型TFTを形成する島状半導体層5004、5006に第1の導電型とは逆の導電型の第4の不純物領域5043~5054を形成する。第3の形状の導電層5038b、5040bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、Nチャネル型TFTを形成する島状半導体層5003、5005および配線部5041、5042はレジストマスク5200で全面を被覆しておく。不純物領域5043~5054に添加されているリンの濃度は均一ではないが、ジボラン(B₂H₆)を用いたイオンドープ法

で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{10} \sim 2 \times 10^{11}$ atoms/cm³ となるようにする。

【0292】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層5037～5040がゲート電極として機能する。また、5042は島状の第1走査線として機能する。5041は島状の第3走査線と第3の形状の導電層5040を接続する配線として機能する。

【0293】レジストマスク5200を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、本実施例では500℃で4時間の熱処理を行う。ただし、第3の形状の導電層5037～5042に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。レーザーアニール法を用いる場合、結晶化の際に用いたレーザーを使用することが可能である。活性化の場合は、移動速度は結晶化と同じにし、0.01～100MW/cm²程度(好ましくは0.01～10MW/cm²)のエネルギー密度が必要となる。

【0294】さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0295】次いで、図15(A)に示すように、第1の層間絶縁膜5055を酸化窒化シリコン膜から100～200nmの厚さで形成する。その上に有機絶縁材料から成る第2の層間絶縁膜5056を形成した後、第1の層間絶縁膜5055、第2の層間絶縁膜5056、およびゲート絶縁膜5007に対してコンタクトホールを形成し、各配線5057～5062をパターニング形成した後、接続配線5062に接する画素電極5064をパターニング形成する。

【0296】第2の層間絶縁膜5056としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB(ベンゾシクロブテン)等を使用することが出来る。特に、第2の層間絶縁膜5056は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFEによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5μm(さらに好まし

くは2～4μm)とすれば良い。

【0297】コンタクトホールの形成は、ドライエッチングまたはウェットエッチングを用い、N型の不純物領域5017、5018、5021、5022またはP型の不純物領域5043、5048、5049、5054に達するコンタクトホール、配線5042に達するコンタクトホール(図示せず)、電源供給線に達するコンタクトホール(図示せず)、およびゲート電極に達するコンタクトホール(図示せず)をそれぞれ形成する。

【0298】また、配線(接続配線、信号線を含む)5057～5062として、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものを用いる。勿論、他の導電膜を用いても良い。

【0299】また、本実施例では、画素電極5064としてITO膜を110nmの厚さに形成し、パターニングを行った。画素電極5064を接続配線5062と接して重なるように配置することでコンタクトを取っている。また、酸化インジウムに2～20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。この画素電極5064が発光素子の陽極となる。(図15(A))

【0300】図17に、図15(A)の工程まで終了した時点での、画素の上面図を示す。なお、配線の位置や半導体層の位置を明確にするために、絶縁膜や層間絶縁膜は省略した。図17のA-A'における断面図が、図15(A)のA-A'に示した部分に相当する。また、図17のB-B'における断面図が、図15(A)のB-B'に示した部分に相当する。また、図17のC-C'における断面図を、図16に示す。

【0301】トランジスタTr3は、半導体層5005と、第1走査線Gj(5042)と接続されているゲート電極5039とを有している。半導体層5005が有する不純物領域5021(図17では特に図示せず)は信号線Si(5060)に接続されており、不純物領域5022(図17では特に図示せず)は配線5061に接続されている。

【0302】トランジスタTr4は、半導体層5100と、ゲート電極5101とを有している。半導体層5100が有する2つの不純物領域(図17では特に図示せず)は、一方は配線5102に接続されており、もう一方は信号線Si5060に接続されている。また、ゲート電極5101は配線5107に接続されており、配線5107は第2走査線Pjに接続されている。

【0303】トランジスタTr1は、半導体層5103と、ゲート電極5104とを有している。半導体層5103が有する2つの不純物領域(図17では特に図示せず)は、一方は電源線Vi(5110)に接続されており、もう一方は配線5061に接続されている。また、

ゲート電極 5104 は容量用電極 5109 に接続されている。

【0304】トランジスタ Tr2 は、半導体層 5105 と、ゲート電極 5106 とを有している。半導体層 5105 が有する 2 つの不純物領域 (図 17 では特に図示せず) は、一方は電源線 Vi (5110) に接続されており、もう一方は配線 5062 に接続されている。また、ゲート電極 5106 は容量用電極 5109 に接続されている。

【0305】トランジスタ Tr5 は、半導体層 5006 と、ゲート電極 5040 とを有している。半導体層 5006 が有する 2 つの不純物領域 (図 17 では特に図示せず) は、一方は配線 5061 に接続されており、もう一方は配線 5062 に接続されている。また、ゲート電極 5040 は、配線 5041 を介して第 3 走査線 Rj に接続されている。

【0306】配線 5062 は画素電極 5064 に接続されている。

【0307】5108 は半導体層に不純物を添加することで形成された容量用の半導体層であり、ゲート絶縁膜 5007 (図 17 では特に図示せず) を間に介して容量用電極 5109 と重なっている。また容量用電極 5109 は、第 1 の層間絶縁膜 5055 及び第 2 の層間絶縁膜 5056 を間に介して電源線 Vi (5110) と重なっている。また、電源線 Vi (5110) は、容量用半導体層 5108 が有する不純物領域 5111 と、ゲート絶縁膜 5007、第 1 の層間絶縁膜 5055 及び第 2 の層間絶縁膜 5056 に形成されたコンタクトホールを介して接続されている。

【0308】次に、図 15 (B) に示すように、珪素を含む絶縁膜 (本実施例では酸化珪素膜) を 500nm の厚さに形成し、画素電極 5064 に対応する位置に開口部を形成して、バンクとして機能する第 3 の層間絶縁膜 5065 を形成する。開口部を形成する際、ウェットエッチング法を用いることで容易にテーパ形状の側壁とすることが出来る。開口部の側壁が十分になだらかでないと段差に起因する有機発光層の劣化が顕著な問題となってしまうため、注意が必要である。

【0309】次に、有機発光層 5066 および陰極 (MgAg 電極) 5067 を、真空蒸着法を用いて大気解放しないで連続形成する。なお、有機発光層 5066 の膜厚は 80~200nm (典型的には 100~120nm)、陰極 5067 の厚さは 180~300nm (典型的には 200~250nm) とすれば良い。

【0310】この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、有機発光層を形成する。但し、有機発光層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選

択的に有機発光層を形成するのが好ましい。

【0311】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の有機発光層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の有機発光層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の有機発光層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【0312】ここでは RGB に対応した 3 種類の発光素子を形成する方式を用いたが、白色発光の発光素子とカラーフィルタを組み合わせた方式、青色または青緑発光の発光素子と蛍光体 (蛍光性の色変換層: CCM) とを組み合わせた方式、陰極 (対向電極) に透明電極を利用して RGB に対応した発光素子を重ねる方式などを用いても良い。

【0313】なお、有機発光層 5066 としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層となる 4 層構造を有機発光層とすれば良い。

【0314】次に、メタルマスクを用いて陰極 5067 を形成する。なお本実施例では陰極 5067 として MgAg を用いたが、本発明はこれに限定されない。陰極 5067 として他の公知の材料を用いても良い。

【0315】最後に、窒化珪素膜となるパッシベーション膜 5068 を 300nm の厚さに形成する。パッシベーション膜 5068 を形成しておくことで、有機発光層 5066 を水分等から保護することができ、発光素子の信頼性をさらに高めることが出来る。

【0316】こうして図 15 (B) に示すような構造の発光装置が完成する。

【0317】ところで、本実施例の発光装置は、画素部だけでなく駆動回路部にも最適な構造の TFT を配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程において Ni 等の金属触媒を添加し、結晶性を高めることも可能である。それによって、信号線駆動回路の駆動周波数を 10MHz 以上にすることが可能である。

【0318】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有する TFT を、駆動回路部を形成する CMOS 回路の N チャネル型 TFT として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスミッションゲートなどが含まれる。

【0319】本実施例の場合、N チャネル型 TFT の活性層は、ソース領域 (ソース)、ドレイン領域 (ドレイ

ン)、ゲート絶縁膜を間に挟んでゲート電極と重なるオーバーラップLDD領域(L_{ov}領域)、ゲート絶縁膜を間に挟んでゲート電極と重ならないオフセットLDD領域(L_{of}領域)およびチャネル形成領域を含む。

【0320】また、CMOS回路のPチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、Nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0321】その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。また駆動回路において、オフ電流を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するNチャネル型TFTは、L_{ov}領域を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。

【0322】なお、実際には図15(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりすると発光素子の信頼性が向上する。

【0323】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。このような出荷出来る状態にまでした状態を本明細書中では発光装置という。

【0324】また、本実施例で示す工程に従えば、発光装置の作製に必要なフォトリソの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0325】本発明の発光装置の作製方法は、本実施例において説明した作製方法に限定されない。本発明の発光装置は公知の方法を用いて作成することが可能である。

【0326】本実施例は、実施例1~3と自由に組み合わせることで実施することが可能である。

【0327】(実施例5)本実施例では、アナログ駆動法で駆動する本発明の発光装置が有する駆動回路(信号線駆動回路及び走査線駆動回路)の構成について説明す

る。

【0328】図18(A)に本実施例の信号線駆動回路401のブロック図を示す。402はシフトレジスタ、403はバッファ、404はサンプリング回路、405は電流変換回路を示している。

【0329】シフトレジスタ402には、クロック信号(CLK)、スタートパルス信号(SP)が入力されている。シフトレジスタ402にクロック信号(CLK)とスタートパルス信号(SP)が入力されると、タイミング信号が生成される。

【0330】生成されたタイミング信号は、バッファ403において増幅または緩衝増幅されて、サンプリング回路404に入力される。なお、バッファの代わりにレベルシフタを設けて、タイミング信号を増幅しても良い。また、バッファとレベルシフタを両方設けていても良い。

【0331】図18(B)にサンプリング回路404、電流変換回路405の具体的な構成を示す。なおサンプリング回路404は、端子410においてバッファ403と接続されている。

【0332】サンプリング回路404には、複数のスイッチ411が設けられている。そしてサンプリング回路404には、ビデオ信号線406からアナログビデオ信号が入力されており、スイッチ411はタイミング信号に同期して、該アナログビデオ信号をサンプリングし、後段の電流変換回路405に入力する。なお図18

(B)では、電流変換回路405はサンプリング回路404が有するスイッチ411の1つに接続されている電流変換回路だけを示しているが、各スイッチ411の後段に、図18(B)に示したような電流変換回路405が接続されているものとする。

【0333】なお本実施例では、スイッチ411にトランジスタを1つだけ用いているが、スイッチ411はタイミング信号に同期してアナログビデオ信号をサンプリングできるスイッチであれば良く、本実施例の構成に限定されない。

【0334】サンプリングされたアナログビデオ信号は、電流変換回路405が有する電流出力回路412に入力される。電流出力回路412は、入力されたビデオ信号の電圧に見合った値の電流(信号電流)を出力する。なお図18ではアンプ及びトランジスタを用いて電流出力回路を形成しているが、本発明はこの構成に限定されず、入力された信号の電圧に見合った値の電流を出力することができる回路であれば良い。

【0335】該信号電流は、同じく電流変換回路405が有するリセット回路417に入力される。リセット回路417は、2つのアナログスイッチ413、414と、インバーター416と、電源415を有している。

【0336】アナログスイッチ414にはリセット信号(Res)が入力されており、アナログスイッチ413

には、インバーター 416 によって反転されたりセット信号 (Res) が入力されている。そしてアナログスイッチ 413 とアナログスイッチ 414 は、反転したりセット信号とリセット信号にそれぞれ同期して動作しており、一方がオンのとき片一方がオフになっている。

【0337】そして、アナログスイッチ 413 がオンのときに信号電流は対応する信号線に流入される。逆に、アナログスイッチ 414 がオンのときに電源 415 の電圧が信号線に与えられ、信号線がリセットされる。なお、電源 415 の電圧は、画素に設けられた電源線の電圧とほぼ同じ高さであることが望ましく、信号線がリセットされているときに信号線にながれる電流が 0 に近ければ近いほど良い。

【0338】なお信号線は、帰線期間中にリセットするのが望ましい。しかし、画像を表示している期間以外であるならば、必要に応じて帰線期間以外の期間にリセットすることも可能である。

【0339】なお、シフトレジスタの代わりに、例えばデコーダ回路のような信号線の選択ができる別の回路を用いても良い。

【0340】次に、走査線駆動回路の構成について説明する。

【0341】図 19 は走査線駆動回路 641 の構成を示すブロック図である。走査線駆動回路 641 は、それぞれシフトレジスタ 642、バッファ 643 を有している。また場合によってはレベルシフタを有していても良い。

【0342】走査線駆動回路 641 において、シフトレジスタ 642 にクロック CLK 及びスタートパルス信号 SP が入力されることによって、タイミング信号が生成される。生成されたタイミング信号はバッファ 643 において緩衝増幅され、対応する走査線に供給される。

【0343】走査線には、1 ライン分の画素のトランジスタのゲートが接続されている。そして、1 ライン分の画素のトランジスタを一斉に ON にしなくてはならないので、バッファ 643 は大きな電流を流すことが可能なものが用いられる。

【0344】なお、シフトレジスタの代わりに、例えばデコーダ回路のような走査線の選択ができる別の回路を用いても良い。

【0345】なお、第 1 ～ 第 3 の各走査線の電圧を、各走査線にそれぞれ対応する複数の走査線駆動回路で制御しても良いし、いくつかの走査線または全ての走査線の電圧を 1 つの走査線駆動回路で制御しても良い。

【0346】本発明の発光装置を駆動する信号線駆動回路及び走査線駆動回路は、本実施例で示す構成に限定されない。本実施例の構成は、実施例 1 ～ 実施例 4 に示した構成と自由に組み合わせて実施することが可能である。

【0347】(実施例 6) 本実施例では、本発明のデジ

タル駆動法で駆動する発光装置が有する信号線駆動回路の構成について説明する。なお走査線駆動回路の構成は、実施例 5 において示した構成を用いることができるので、ここでは説明を省略する。

【0348】図 20 に信号線駆動回路 601 の構成をブロック図で示す。602 はシフトレジスタ、603 は記憶回路 A、604 は記憶回路 B、605 は定電流回路である。

【0349】シフトレジスタ 602 にはクロック信号 CLK と、スタートパルス信号 SP が入力されている。また記憶回路 A 603 にはデジタルビデオ信号 (Digital Video Signals) が入力されており、記憶回路 B 604 にはラッチ信号 (Latch Signals) が入力されている。定電流回路 605 から出力されるビデオ信号に応じた信号電流 I_c は信号線へ入力される。

【0350】図 21 に信号線駆動回路 601 のより詳しい構成を示す。

【0351】シフトレジスタ 602 に所定の配線からクロック信号 CLK とスタートパルス信号 SP とが入力されることによって、タイミング信号が生成される。タイミング信号は記憶回路 A 603 が有する複数のラッチ A (LATA_1 ~ LATA_x) にそれぞれ入力される。なおこのときシフトレジスタ 602 において生成されたタイミング信号を、バッファ等で緩衝増幅してから、記憶回路 A 603 が有する複数のラッチ A (LATA_1 ~ LATA_x) にそれぞれ入力するような構成にしても良い。

【0352】記憶回路 A 603 にタイミング信号が入力されると、該タイミング信号に同期して、ビデオ信号線 610 に入力される 1 ビット分のデジタルビデオ信号が、順に複数のラッチ A (LATA_1 ~ LATA_x) のそれぞれに書き込まれ、保持される。

【0353】なお、本実施例では記憶回路 A 603 にデジタルビデオ信号を取り込む際に、記憶回路 A 603 が有する複数のラッチ A (LATA_1 ~ LATA_x) に、順にデジタルビデオ信号を入力しているが、本発明はこの構成に限定されない。記憶回路 A 603 が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば 4 つのステージごとにラッチをグループに分けた場合、4 分割で分割駆動と言う。

【0354】記憶回路 A 603 の全てのステージのラッチへの、デジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0355】1 ライン期間が終了すると、記憶回路 B 6

04が有する複数のラッチB (LATB__1~LATB__x) に、ラッチ信号線609を介してラッチシグナル (Latch Signal) が供給される。この瞬間、記憶回路A603が有する複数のラッチA (LATA__1~LATA__x) に保持されているデジタルビデオ信号は、記憶回路B604が有する複数のラッチB (LATB__1~LATB__x) に一斉に書き込まれ、保持される。

【0356】デジタルビデオ信号を記憶回路B604に送出し終えた記憶回路A603には、シフトレジスタ602からのタイミング信号に基づき、次の1ビット分のデジタルビデオ信号の書き込みが順次行われる。

【0357】この2順目の1ライン期間中には、記憶回路B604に書き込まれ、保持されているデジタルビデオ信号が定電流回路605に入力される。

【0358】定電流回路605は複数の電流設定回路 (C1~Cx) を有している。電流設定回路 (C1~Cx) のそれぞれにデジタルビデオ信号が入力されると、該デジタルビデオ信号が有する1または0の情報によって、信号線に信号電流Icが流れるか、または信号線に電源線V1~Vxの電圧が与えられるか、いずれか一方が選択される。

【0359】図22に電流設定回路C1の具体的な構成の一例を示す。なお電流設定回路C2~Cxも同じ構成を有する。

【0360】電流設定回路C1は定電流源631と、4つのトランSMISSIONゲートSW1~SW4と、2つのインバーターInb1、Inb2とを有している。なお、定電流源631が有するトランジスタ650の極性は、画素が有するトランジスタTr1及びTr2の極性と同じである。

【0361】記憶回路B604が有するLATB__1から出力されたデジタルビデオ信号によって、SW1~SW4のスイッチングが制御される。なおSW1及びSW3に入力されるデジタルビデオ信号と、SW2及びSW4に入力されるデジタルビデオ信号は、Inb1、Inb2によって反転している。そのためSW1及びSW3がオンのときはSW2及びSW4はオフ、SW1及びSW3がオフのときはSW2及びSW4はオンとなっている。

【0362】SW1及びSW3がオンのとき、定電流源631から0ではない所定の値の電流IdがSW1及びSW3を介して、信号電流Icとして信号線S1に入力される。

【0363】逆にSW2及びSW4がオンのときは、定電流源631からの電流IdはSW2を介してグラウンドにおとされる。またSW4を介して電源線V1~Vxの電源電圧が信号線S1に与えられ、Ic=0となる。

【0364】再び図21を参照して、前記の動作が、1ライン期間内に、定電流回路605が有する全ての電流設定回路 (C1~Cx) において同時に行われる。よつ

て、デジタルビデオ信号により、全ての信号線に入力される信号電流Icの値が選択される。

【0365】本発明において用いられる駆動回路は、本実施例で示した構成に限定されない。さらに、本実施例で示した定電流回路は、図22に示した構成に限定されない。本発明で用いられる定電流回路は、信号電流Icが取りうる2値のいずれか一方をデジタルビデオ信号によって選択し、選択された値を有する信号電流を信号線に流すことができれば、どのような構成を有していても良い。

【0366】なお、シフトレジスタの代わりに、例えばデコード回路のような信号線の選択ができる別の回路を用いても良い。

【0367】本実施例の構成は、実施例1~4と自由に組み合わせて実施することが可能である。

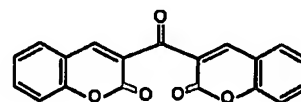
【0368】(実施例7) 本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、発光素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0369】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo, 1991) p.437.)

【0370】上記の論文により報告された有機発光材料(クマリン色素)の分子式を以下に示す。

【0371】

【化1】

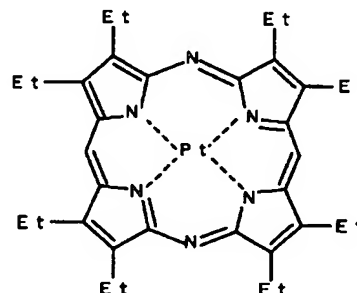


【0372】(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【0373】上記の論文により報告された有機発光材料(Pt錯体)の分子式を以下に示す。

【0374】

【化2】



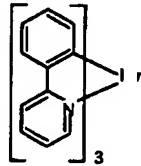
【0375】(M.A.Baldo, S.Lamansky, P.E.Burrows,

M.E. Thompson, S.R. Forrest, Appl. Phys. Lett., 75 (1999) p. 4.) (T. Tsutsui, M.-J. Yang, M. Yahiro, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, S. Mayaguchi, Jpn. Appl. Phys., 38 (12B) (1999) L1502.)

【0376】上記の論文により報告された有機発光材料（Ir 錯体）の分子式を以下に示す。

【0377】

【化3】



【0378】以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。

【0379】なお、本実施例の構成は、実施例1～実施例6のいずれの構成とも自由に組み合わせて実施することが可能である。

【0380】（実施例8）本実施例では、本発明を用いて発光装置を作製した例について、図23を用いて説明する。

【0381】図23は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図23（B）は、図23（A）のA-A'における断面図、図23（C）は図23（A）のB-B'における断面図である。

【0382】基板4001上に設けられた画素部4002と、信号線駆動回路4003と、第1及び第2の走査線駆動回路4004a、bとを囲むようにして、シーリング材4009が設けられている。また画素部4002と、信号線駆動回路4003と、第1及び第2の走査線駆動回路4004a、bとの上にシーリング材4008が設けられている。よって画素部4002と、信号線駆動回路4003と、第1及び第2の走査線駆動回路4004a、bとは、基板4001とシーリング材4009とシーリング材4008とによって、充填材4210で密封されている。

【0383】また基板4001上に設けられた画素部4002と、信号線駆動回路4003と、第1及び第2の走査線駆動回路4004a、bとは、複数のTFTを有している。図23（B）では代表的に、下地膜4010上に形成された、信号線駆動回路4003に含まれる駆動TFT（但し、ここではnチャネル型TFTとpチャネル型TFTを図示する）4201及び画素部4002に含まれるトランジスタTr5 4202を図示した。

【0384】本実施例では、駆動TFT4201には公知の方法で作製されたpチャネル型TFTまたはnチャ

ネル型TFTが用いられ、トランジスタTr5 4202には公知の方法で作製されたpチャネル型TFTが用いられる。

【0385】駆動TFT4201及びトランジスタTr5 4202上には層間絶縁膜（平坦化膜）4301が形成され、その上にトランジスタTr5 4202のドレインと電氣的に接続する画素電極（陽極）4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

【0386】そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には有機発光層4204が形成される。有機発光層4204は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0387】有機発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0388】有機発光層4204の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4205が形成される。また、陰極4205と有機発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバ方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

【0389】以上のようにして、画素電極（陽極）4203、有機発光層4204及び陰極4205からなる発光素子4303が形成される。そして発光素子4303を覆うように、絶縁膜4302上に保護膜4209が形成されている。保護膜4209は、発光素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0390】4005aは電源線に接続された引き回し配線であり、トランジスタTr5 4202のソースに電氣的に接続されている。引き回し配線4005aはシーリング材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFP C用配線4301に電氣的に接続される。

【0391】シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0392】但し、発光素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0393】また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【0394】また充填材4210を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。

【0395】図23（C）に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

【0396】また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラー4300aによって電気的に接続される。

【0397】本実施例の構成は、実施例1～実施例7に示した構成と自由に組み合わせて実施することが可能である。

【0398】（実施例9）発光素子に用いられる有機発光材料は低分子系と高分子系に大別される。本発明の発

光装置は、低分子系の有機発光材料でも高分子系の有機発光材料でも、どちらでも用いることができる。

【0399】低分子系の有機発光材料は、蒸着法により成膜される。したがって積層構造をとりやすく、ホール輸送層、電子輸送層などの機能が異なる膜を積層することで高効率化しやすい。

【0400】低分子系の有機発光材料としては、キノリノールを配位子としたアルミニウム錯体Alq₃、トリフェニルアミン誘導体（TPD）等が代表的に挙げられる。

【0401】一方、高分子系の有機発光材料は低分子系に比べて物理的強度が高く、素子の耐久性が高い。また塗布により成膜することが可能であるので、素子の作製が比較的容易である。

【0402】高分子系の有機発光材料を用いた発光素子の構造は、低分子系の有機発光材料を用いたときと基本的には同じであり、陰極／有機発光層／陽極となる。しかし、高分子系の有機発光材料を用いた有機発光層を形成する際には、低分子系の有機発光材料を用いたときのような積層構造を形成させることは難しく、知られている中では2層の積層構造が有名である。具体的には、陰極／発光層／正孔輸送層／陽極という構造である。なお、高分子系の有機発光材料を用いた発光素子の場合には、陰極材料としてCaを用いることも可能である。

【0403】なお、素子の発光色は、発光層を形成する材料で決まるため、これらを選択することで所望の発光を示す発光素子を形成することができる。発光層の形成に用いることができる高分子系の有機発光材料は、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフェン系、ポリフルオレン系が代表的に挙げられる。

【0404】ポリパラフェニレンビニレン系には、ポリ（パラフェニレンビニレン）[PPV]の誘導体、ポリ（2，5-ジアルコキシ-1，4-フェニレンビニレン）[RO-PPV]、ポリ（2-（2'-エチルヘキソキシ）-5-メトキシ-1，4-フェニレンビニレン）[MEH-PPV]、ポリ（2-（ジアルコキシフェニル）-1，4-フェニレンビニレン）[ROPh-PPV]等が挙げられる。

【0405】ポリパラフェニレン系には、ポリパラフェニレン[PPP]の誘導体、ポリ（2，5-ジアルコキシ-1，4-フェニレン）[RO-PPP]、ポリ（2，5-ジヘキソキシ-1，4-フェニレン）等が挙げられる。

【0406】ポリチオフェン系には、ポリチオフェン[PT]の誘導体、ポリ（3-アルキルチオフェン）[PAT]、ポリ（3-ヘキシルチオフェン）[PHT]、ポリ（3-シクロヘキシルチオフェン）[PCHT]、ポリ（3-シクロヘキシル-4-メチルチオフェン）[PCHMT]、ポリ（3，4-ジシクロヘキシル

チオフェン) [PDCHT]、ポリ[3-(4-オクチルフェニル)-チオフェン] [POPT]、ポリ[3-(4-オクチルフェニル)-2,2-ビチオフェン] [PTOPT]等が挙げられる。

【0407】ポリフルオレン系には、ポリフルオレン [PF]の誘導体、ポリ(9,9-ジアルキルフルオレン) [PDAF]、ポリ(9,9-ジオクチルフルオレン) [PDOF]等が挙げられる。

【0408】なお、正孔輸送性の高分子系の有機発光材料を、陽極と発光性の高分子系有機発光材料の間に挟んで形成すると、陽極からの正孔注入性を向上させることができる。一般にアクセプター材料と共に水に溶解させたものをスピンコート法などで塗布する。また、有機溶媒には不溶であるため、上述した発光性の有機発光材料との積層が可能である。

【0409】正孔輸送性の高分子系の有機発光材料としては、PEDOTとアクセプター材料としてのショウノウスルホン酸(CSA)の混合物、ポリアニリン[PANI]とアクセプター材料としてのポリスチレンスルホン酸[PSS]の混合物等が挙げられる。

【0410】なお、本実施例の構成は、実施例1～実施例8のいずれの構成とも自由に組み合わせて実施することが可能である。

【0411】(実施例10)発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0412】本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンボ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置)などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図24に示す。

【0413】図24(A)は発光素子表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光素子表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0414】図24(B)はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。

【0415】図24(C)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置は表示部2203に用いることができる。

【0416】図24(D)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表示部2302に用いることができる。

【0417】図24(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A、B2403、2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0418】図24(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表示部2502に用いることができる。

【0419】図24(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を含む。本発明の発光装置は表示部2602に用いることができる。

【0420】ここで図24(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【0421】なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0422】また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情

報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0423】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0424】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例 1～9 に示したいずれの構成の発光装置を用いても良い。

【0425】（実施例 11）本実施例では、図 2 に示した発光装置が有する画素 101 の構成について説明する。

【0426】図 28 に、図 2 で示した画素 101 の詳しい構成を示す。図 28 に示す画素 101 は、信号線 S i（S 1～S x のうちの 1 つ）、第 1 走査線 G j（G 1～G y のうちの 1 つ）、第 2 走査線 P j（P 1～P y のうちの 1 つ）、第 3 走査線 R j（R 1～R y のうちの 1 つ）及び電源線 V i（V 1～V x のうちの 1 つ）を有している。

【0427】また画素 101 は、トランジスタ T r 1、トランジスタ T r 2、トランジスタ T r 3、トランジスタ T r 4、トランジスタ T r 5、トランジスタ T r 6、発光素子 701 及び保持容量 702 を有している。保持容量 702 はトランジスタ T r 1 及び T r 2 のゲートとソースの間の電圧（ゲート電圧）をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0428】トランジスタ T r 3 のゲートは第 1 走査線 G j に接続されている。そしてトランジスタ T r 3 のソースとドレインは、一方は信号線 S i に接続されており、もう一方はトランジスタ T r 1 のドレインに接続されている。

【0429】トランジスタ T r 4 のゲートは、第 2 走査線 P j に接続されている。そしてトランジスタ T r 4 のソースとドレインは、一方はトランジスタ T r 1 のドレインに、もう一方はトランジスタ T r 1 及び T r 2 のゲートに接続されている。

【0430】トランジスタ T r 6 のゲートは、トランジスタ T r 1 及び T r 2 のゲートに接続されている。そしてトランジスタ T r 6 のソースとドレインは、一方はトランジスタ T r 1 のドレインに、もう一方はトランジスタ T r 5 のソースまたはドレインに接続されている。

【0431】トランジスタ T r 5 のゲートは、第 3 走査線 R j に接続されている。そしてトランジスタ T r 5 のソースとドレインは、一方はトランジスタ T r 2 のドレインに、もう一方はトランジスタ T r 6 のソースまたは

ドレインに接続されている。

【0432】トランジスタ T r 1 とトランジスタ T r 2 と T r 6 のゲートは、互いに接続されている。トランジスタ T r 1 とトランジスタ T r 2 のソースは、共に電源線 V i に接続されている。そして、トランジスタ T r 2 のドレインは、発光素子 701 の画素電極に接続されている。

【0433】保持容量 702 が有する 2 つの電極は、一方はトランジスタ T r 1 とトランジスタ T r 2 のゲートに、もう一方は電源線 V i に接続されている。

【0434】電源線 V i の電圧（電源電圧）は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0435】なお、トランジスタ T r 1、T r 2 及び T r 6 は n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。ただし、トランジスタ T r 1、T r 2 及び T r 6 の極性は同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ T r 1 及び T r 2 は p チャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ T r 1 及び T r 2 は n チャネル型トランジスタであるのが望ましい。

【0436】トランジスタ T r 3、T r 4、T r 5 は、n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。

【0437】次に、本実施例の発光装置の動作について説明する。図 28 に示した画素を有する発光装置の動作は、図 3 に示した画素の場合と同様に、書き込み期間 T a と表示期間 T d とに分けて説明することが可能である。

【0438】また、第 1～3 走査線に印加される電圧については、図 4 に示したタイミングチャートを参照することができる。また図 29 は、図 28 に示した画素の、書き込み期間 T a と表示期間 T d におけるトランジスタ T r 1 とトランジスタ T r 2 の接続を、簡単に示した図である。

【0439】書き込み期間 T a が開始されると、第 1 走査線 G、第 2 走査線 P が選択される。よって、トランジスタ T r 3 とトランジスタ T r 4 がオンになる。なお、第 3 走査線 R は選択されていないので、トランジスタ T r 5 はオフになっている。

【0440】そして、信号線駆動回路 102 に入力されるビデオ信号に基づき、信号線 S 1～S x と電源線 V 1～V x の間に、それぞれビデオ信号に応じた信号電流 I c が流れる。

【0441】図 29（A）に、書き込み期間 T a において、信号線 S i にビデオ信号に応じた信号電流 I c が流れた場合の、画素 101 の概略図を示す。706 は対向電極に電圧を与える電源との接続用の端子を意味してい

る。また、707は信号線駆動回路102が有する定電流源を意味する。

【0442】トランジスタTr3はオンの状態にあるので、信号線Siにビデオ信号に応じた信号電流Icが流れると、信号電流IcはトランジスタTr1のドレインとソースの間に流れる。このときトランジスタTr1は、ゲートとドレインが接続されているので飽和領域で動作しており、式1が成り立つ。よって、トランジスタTr1のゲート電圧Vgsは電流値Icによって定まる。

【0443】そしてトランジスタTr2のゲートは、トランジスタTr1のゲートに接続されている。また、トランジスタTr2のソースは、トランジスタTr1のソースに接続されている。したがって、トランジスタTr1のゲート電圧は、そのままトランジスタTr2のゲート電圧となる。よって、トランジスタTr2のドレイン電流は、トランジスタTr1のドレイン電流に比例する。特に、 $\mu C, W/L$ 及び V_{th} が互いに等しいとき、トランジスタTr1とトランジスタTr2のドレイン電流は互いに等しくなり、 $I_2 = I_1$ となる。

【0444】そして、トランジスタTr2のドレイン電流I₂は発光素子704に流れる。発光素子に流れる電流は、定電流源707において定められた信号電流Icに応じた大きさであり、流れる電流の大きさに見合った輝度で発光素子704は発光する。発光素子に流れる電流が0に限りなく近かったり、発光素子に流れる電流が逆バイアスの方向に流れたりする場合は、発光素子704は発光しない。

【0445】書き込み期間Taが終了すると、第1走査線G、第2走査線Pの選択が終了する。このとき、第2走査線Pの選択が、第1走査線Gよりも先に終了するのが望ましい。なぜならトランジスタTr3が先にオフになってしまうと、保持容量705の電荷がTr4を通過して漏れてしまうからである。

【0446】書き込み期間Taが終了すると、次に表示期間Tdが開始される。表示期間Tdが開始されると、第3走査線Rが選択されトランジスタTr5がオンになる。なお、第1走査線G及び第2走査線Pは選択されていないので、トランジスタTr3及びTr4はオフになっている。

【0447】図29(B)に、表示期間Tdにおける画素の概略図を示す。トランジスタTr3及びトランジスタTr4はオフの状態にある。また、トランジスタTr1及びトランジスタTr2のソースは電源線Viに接続されており、一定の電圧(電源電圧)が与えられている。

【0448】一方トランジスタTr1、Tr2においては、書き込み期間Taにおいて定められたVgsがそのまま保持されている。さらに、トランジスタTr6のゲートはトランジスタTr1及びTr2のゲートと接続されている。そのため、トランジスタTr1のドレイン電流

とトランジスタTr6のドレイン電流は同じ大きさに保たれる。そして、式1より、トランジスタTr1のドレイン電流は、トランジスタTr6のチャネル長及びチャネル幅に左右される。

【0449】トランジスタTr1とTr6のゲート電圧、移動度、単位面積あたりのゲート容量、閾値、チャネル幅が等しいと仮定すると、式1より以下の式2が導き出される。なお、式2においてトランジスタTr1のチャネル長をL1、Tr6のチャネル長をL6、Tr1及びTr6のドレイン電流をI₁とする。

【0450】

$$【式2】 I_1 = I_2 \times L_1 / (L_1 + L_6)$$

【0451】一方、トランジスタTr2のドレイン電流I₂の値は、信号電流Icに応じた大きさに維持されたままである。

【0452】そして、トランジスタTr5がオンなので、トランジスタTr1及びTr6のドレイン電流I₁と、トランジスタTr2のドレイン電流I₂は、共に発光素子704に流れる。よって、ドレイン電流I₁と、ドレイン電流I₂を合わせた電流の大きさに見合った輝度で、発光素子704は発光する。

【0453】なお、発光素子に流れる電流の大きさに見合った輝度で発光素子704が発光するので、各画素の階調は、表示期間Tdにおける発光素子に流れる電流の大きさで決まる。なお、書き込み期間Taにおいても、ドレイン電流I₁の大きさに見合った輝度で発光しているが、その階調に与える影響は、実際のパネルでは無視できる程度に小さいと考えられる。なぜなら、例えばVGAだと480ラインの画素が画素部に設けられており、1ラインの画素の書き込み期間Taは1フレーム期間の1/480程度と非常に小さいからである。もちろん、書き込み期間Taにおける発光素子に流れる電流の階調への影響を考慮に入れて、信号電流Icの大きさを補正するようにしても良い。

【0454】本発明の画素では、表示期間において発光素子に流れる電流はドレイン電流I₁と、ドレイン電流I₂の和である。よって、発光素子に流れる電流がドレイン電流I₁のみに依存していない。そのため、トランジスタTr1とトランジスタTr2の特性がずれて、トランジスタTr2のドレイン電流I₂と信号電流Icの比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0455】また、本発明の画素では、書き込み期間TaにおいてトランジスタTr1のドレイン電流は発光素子に流れていない。よって信号線駆動回路によって画素に電流が供給され、トランジスタTr1のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電

流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0456】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、TF Tの特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図25に示した電圧入力型の画素のTF T51を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができ、また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0457】さらに、本実施例の画素では、図3、図5、図7、図9、図10及び図11に示した画素に比べて、書き込み期間におけるトランジスタTr1のドレイン電流よりも、表示期間におけるTr1のドレイン電流が小さいため、信号電流Icに対する発光素子に流れる電流の比が小さくなる。よって、信号電流Icをより大きくすることができるので、雑音の影響を受けにくい。

【0458】なお、本実施例において、トランジスタTr4のソースとドレインは、一方はトランジスタTr1のドレインに、もう一方はトランジスタTr1のゲート及びトランジスタTr2のゲートに接続されている。しかし本実施例はこの構成に限定されない。本発明の画素は、書き込み期間TaにおいてトランジスタTr1のゲートとドレインを接続し、表示期間においてトランジスタTr1のゲートとドレインを切り離すことができるように、トランジスタTr4が他の素子または配線と接続されていれば良い。

【0459】また本実施例において、トランジスタTr5のソースとドレインは、一方はTr1のドレインに、もう一方はTr6のソースまたはドレインに接続されている。しかし本実施例はこの構成に限定されない。本発明の画素は、書き込み期間TaにおいてトランジスタTr1のドレインと画素電極とを切り離し、表示期間においてトランジスタTr2のドレインと画素電極とを接続することができるように、トランジスタTr5が他の素子または配線と接続されていれば良い。例えば、トランジスタTr5のソースとドレインが、一方はTr1のドレインに、もう一方はTr6のソースまたはドレインに接続されていても良い。

【0460】つまり、Tr3、Tr4、Tr5は、Taでは図29(A)のように接続され、Tdでは図29(B)のように接続されていれば良い。また、Gj、Pj、Rjは3本が別の配線となっているが、まとめて1本や2本にしても良い。

【0461】つまり、TaにおいてTr1を流れる電流は全て電流源で制御されていれば良い。Tdにおいては

Tr1とTr2を流れる電流は発光素子に流れれば良い。

【0462】なお、本実施例の構成は、実施例4～実施例10のいずれの構成とも自由に組み合わせて実施することが可能である。

【0463】(実施例12) 本実施例では、図2に示した発光装置が有する画素101の構成について説明する。

【0464】図30に、図2で示した画素101の詳細な構成を示す。図30に示す画素101は、信号線Si(S1～Sxのうちの1つ)、第1走査線Gj(G1～Gyのうちの1つ)、第2走査線Pj(P1～Pyのうちの1つ)、第3走査線Rj(R1～Ryのうちの1つ)及び電源線Vi(V1～Vxのうちの1つ)を有している。

【0465】また画素101は、トランジスタTr1、トランジスタTr2、トランジスタTr3、トランジスタTr4、トランジスタTr5、発光素子730及び保持容量731を有している。保持容量731はトランジスタTr1及びTr2のゲートとソースの間の電圧(ゲート電圧)をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0466】トランジスタTr3のゲートは第1走査線Gjに接続されている。そしてトランジスタTr3のソースとドレインは、一方は信号線Siに接続されており、もう一方はトランジスタTr1のドレインに接続されている。

【0467】トランジスタTr4のゲートは、第2走査線Pjに接続されている。そしてトランジスタTr4のソースとドレインは、一方はトランジスタTr1のドレインに、もう一方はトランジスタTr1及びTr2のゲートに接続されている。

【0468】トランジスタTr5のゲートは、第3走査線Rjに接続されている。そしてトランジスタTr5のソースとドレインは、一方はトランジスタTr2のドレイン及び電源線Viに、もう一方はトランジスタTr1のドレインに接続されている。

【0469】トランジスタTr1とトランジスタTr2のゲートは、互いに接続されている。トランジスタTr1とトランジスタTr2のソースは、共に発光素子730の画素電極に接続されている。

【0470】保持容量731が有する2つの電極は、一方はトランジスタTr1とトランジスタTr2のゲートに、もう一方は発光素子730の画素電極に接続されている。

【0471】電源線Viの電圧(電源電圧)は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0472】なお、トランジスタTr1及びTr2はnチャネル型トランジスタとpチャネル型トランジスタの

どちらでも良い。ただし、トランジスタ T_{r1} 及び T_{r2} の極性は同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ T_{r1} 及び T_{r2} は n チャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ T_{r1} 及び T_{r2} は p チャネル型トランジスタであるのが望ましい。

【0473】トランジスタ T_{r3} 、 T_{r4} 、 T_{r5} は、n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。

【0474】図 30 に示した画素を有する発光装置の動作は、図 3 に示した画素の場合と同様に、書き込み期間 T_a と表示期間 T_d とに分けて説明することが可能である。また、第 1 ～ 3 走査線に印加される電圧については、図 4 に示したタイミングチャートを参照することができる。また図 31 は、図 30 に示した画素の、書き込み期間 T_a と表示期間 T_d におけるトランジスタ T_{r1} とトランジスタ T_{r2} の接続を、簡単に示した図である。

【0475】書き込み期間 T_a が開始されると、第 1 走査線 G 、第 2 走査線 P が選択される。よって、トランジスタ T_{r3} とトランジスタ T_{r4} がオンになる。なお、第 3 走査線 R は選択されていないので、トランジスタ T_{r5} はオフになっている。

【0476】そして、信号線駆動回路 102 に入力されるビデオ信号に基づき、信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ の間に、それぞれビデオ信号に応じた信号電流 I_c が流れる。

【0477】図 31 (A) に、書き込み期間 T_a において、信号線 S_i にビデオ信号に応じた信号電流 I_c が流れた場合の、画素 101 の概略図を示す。736 は対向電極に電圧を与える電源との接続用の端子を意味している。また、737 は信号線駆動回路 102 が有する定電流源を意味する。

【0478】トランジスタ T_{r3} はオンの状態にあるので、信号線 S_i にビデオ信号に応じた信号電流 I_c が流れると、信号電流 I_c はトランジスタ T_{r1} のドレインとソースの間に流れる。このときトランジスタ T_{r1} は、ゲートとドレインが接続されているので飽和領域で動作しており、式 1 が成り立つ。よって、トランジスタ T_{r1} のゲート電圧 V_{gs} は電流値 I_c によって定まる。

【0479】そしてトランジスタ T_{r2} のゲートは、トランジスタ T_{r1} のゲートに接続されている。また、トランジスタ T_{r2} のソースは、トランジスタ T_{r1} のソースに接続されている。したがって、トランジスタ T_{r1} のゲート電圧は、そのままトランジスタ T_{r2} のゲート電圧となる。よって、トランジスタ T_{r2} のドレイン電流は、トランジスタ T_{r1} のドレイン電流に比例する。特に、 $\mu C_0 W/L$ 及び V_{th} が互いに等しいとき、トランジスタ T_{r1} とトランジスタ T_{r2} のドレイン電

流は互いに等しくなり、 $I_i = I_c$ となる。

【0480】そして、トランジスタ T_{r2} のドレイン電流 I_i は発光素子 730 に流れる。発光素子に流れる電流は、定電流源 737 において定められた信号電流 I_c に応じた大きさであり、流れる電流の大きさに見合った輝度で発光素子 730 は発光する。発光素子に流れる電流が 0 に限りなく近かったり、発光素子に流れる電流が逆バイアスの方向に流れたりする場合は、発光素子 730 は発光しない。

【0481】書き込み期間 T_a が終了すると、第 1 走査線 G 、第 2 走査線 P の選択が終了する。このとき、第 2 走査線 P の選択が、第 1 走査線 G よりも先に終了するのが望ましい。なぜならトランジスタ T_{r3} が先にオフになってしまうと、保持容量 731 の電荷が T_{r4} を通って漏れてしまうからである。

【0482】書き込み期間 T_a が終了すると、次に表示期間 T_d が開始される。表示期間 T_d が開始されると、第 3 走査線 R が選択されトランジスタ T_{r5} がオンになる。なお、第 1 走査線 G 及び第 2 走査線 P は選択されていないので、トランジスタ T_{r3} 及び T_{r4} はオフになっている。

【0483】図 31 (B) に、表示期間 T_d における画素の概略図を示す。トランジスタ T_{r3} 及びトランジスタ T_{r4} はオフの状態にある。また、トランジスタ T_{r1} 及びトランジスタ T_{r2} のソースは発光素子 730 の画素電極に接続されている。

【0484】一方トランジスタ T_{r1} 、 T_{r2} においては、書き込み期間 T_a において定められた V_{gs} がそのまま保持されている。そして、トランジスタ T_{r2} のゲートは、トランジスタ T_{r1} のゲートに接続されている。また、トランジスタ T_{r2} のソースは、トランジスタ T_{r1} のソースに接続されている。よって、トランジスタ T_{r1} のゲート電圧は、そのままトランジスタ T_{r2} のゲート電圧となる。さらに、トランジスタ T_{r1} のドレイン及びトランジスタ T_{r2} のドレインは電源線 V_i に接続されているので、トランジスタ T_{r2} のドレイン電流 I_i は、トランジスタ T_{r1} のドレイン電流 I_i に比例する大きくなる。特に、 $\mu C_0 W/L$ 及び V_{th} が互いに等しいとき、トランジスタ T_{r1} とトランジスタ T_{r2} のドレイン電流は互いに等しくなり、 $I_i = I_i = I_c$ となる。

【0485】また、トランジスタ T_{r5} がオンなので、トランジスタ T_{r1} のドレイン電流 I_i と、トランジスタ T_{r2} のドレイン電流 I_i は、共に発光素子に流れる電流として発光素子 730 に流れる。よって、表示期間 T_d では、ドレイン電流 I_i と、ドレイン電流 I_i を合わせた大きさの電流が発光素子 730 に流れ、該発光素子に流れる電流の大きさに見合った輝度で、発光素子 730 が発光する。

【0486】そして 1 ライン目の画素において表示期間

Td が開始されると、次に 2 ライン目の画素において表示期間 Td が開始される。そして 1 ライン目の画素と同様に、第 3 走査線 R2 が選択され、トランジスタ Tr5、Tr6 がオンになる。なお、第 1 走査線 G2 及び第 2 走査線 P2 は選択されていないので、トランジスタ Tr3 及び Tr4 はオフになっている。よって、ドレイン電流 I_1 と、ドレイン電流 I_2 を合わせた電流の大きさに見合った輝度で、発光素子 730 は発光する。

【0487】そして、2 ライン目の画素において表示期間 Td が開始されると、3 ライン目から y ライン目の画素まで順に表示期間 Td が開始され、上述した動作が繰り返される。

【0488】書き込み期間 Ta と、表示期間 Td が終了すると 1 フレーム期間が終了する。1 つのフレーム期間において 1 つの画像が表示される。そして、次のフレーム期間が開始され、再び書き込み期間 Ta が開始されて、上述した動作が繰り返される。

【0489】なお、発光素子に流れる電流の大きさに見合った輝度で発光素子 730 が発光するので、各画素の階調は、表示期間 Td における発光素子に流れる電流の大きさに決まる。

【0490】なお、発光素子に流れる電流の大きさに見合った輝度で発光素子 730 が発光するので、各画素の階調は、表示期間 Td における発光素子に流れる電流の大きさに決まる。

【0491】本発明の画素では、表示期間において発光素子に流れる電流はドレイン電流 I_1 と、ドレイン電流 I_2 の和である。よって、発光素子に流れる電流がドレイン電流 I_1 のみに依存していない。そのため、トランジスタ Tr1 とトランジスタ Tr2 の特性がずれて、トランジスタ Tr2 のドレイン電流 I_2 と信号電流 I_c の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0492】また、本発明の画素では、書き込み期間 Ta においてトランジスタ Tr1 のドレイン電流は発光素子に流れていない。よって信号線駆動回路によって画素に電流が供給され、トランジスタ Tr1 のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0493】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、TFT の特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図 25 に示した電圧入力型の画素の TFT51 を線形領域で動作させたときに比べて、

発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0494】なお、本実施例において、トランジスタ Tr4 のソースとドレインは、一方はトランジスタ Tr1 のドレインに、もう一方はトランジスタ Tr1 のゲート及びトランジスタ Tr2 のゲートに接続されている。しかし本実施例はこの構成に限定されない。本発明の画素は、書き込み期間 Ta においてトランジスタ Tr1 のゲートとドレインを接続し、表示期間においてトランジスタ Tr1 のゲートとドレインを切り離すことができるように、トランジスタ Tr4 が他の素子または配線と接続されていれば良い。

【0495】また本実施例において、トランジスタ Tr5 のソースとドレインは、一方は Tr2 のドレインに、もう一方は Tr3 のソースまたはドレインに接続されている。しかし本実施例はこの構成に限定されない。

【0496】つまり、Tr3、Tr4、Tr5 は、Ta では図 31 (A) のように接続され、Td では図 31 (B) のように接続されていれば良い。また、Gj、Pj、Rj は 3 本が別の配線となっているが、まとめて 1 本や 2 本にしても良い。

【0497】つまり、Ta において Tr1 を流れる電流は全て電流源で制御されていれば良い。Td においては Tr1 と Tr2 を流れる電流は発光素子に流れれば良い。

【0498】なお、本実施例の構成は、実施例 4～実施例 11 のいずれの構成とも自由に組み合わせて実施することが可能である。

【0499】(実施例 13) 本実施例では、図 2 に示した発光装置が有する画素 101 の構成について説明する。

【0500】図 32 に、図 2 で示した画素 101 の詳しい構成を示す。図 32 に示す画素 101 は、信号線 Si (S1～Sx のうちの 1 つ)、第 1 走査線 Gj (G1～Gy のうちの 1 つ)、第 2 走査線 Pj (P1～Py のうちの 1 つ)、第 3 走査線 Rj (R1～Ry のうちの 1 つ) 及び電源線 Vi (V1～Vx のうちの 1 つ) を有している。

【0501】また画素 101 は、トランジスタ Tr1、トランジスタ Tr2、トランジスタ Tr3、トランジスタ Tr4、トランジスタ Tr5、トランジスタ Tr6、発光素子 760 及び保持容量 761 を有している。保持容量 761 はトランジスタ Tr1 及び Tr2 のゲートとソースの間の電圧 (ゲート電圧) をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0502】トランジスタ Tr3 のゲートは第 1 走査線 Gj に接続されている。そしてトランジスタ Tr3 のソ

ースとドレインは、一方は信号線 S_i に接続されており、もう一方はトランジスタ Tr_1 のドレインに接続されている。

【0503】トランジスタ Tr_4 のゲートは、第2走査線 P_j に接続されている。そしてトランジスタ Tr_4 のソースとドレインは、一方はトランジスタ Tr_1 のドレインに、もう一方はトランジスタ Tr_1 及び Tr_2 のゲートに接続されている。

【0504】トランジスタ Tr_5 のゲートは、第3走査線 R_j に接続されている。そしてトランジスタ Tr_5 のソースとドレインは、一方はトランジスタ Tr_2 のドレイン及び電源線 V_i に、もう一方はトランジスタ Tr_6 のソースまたはドレインに接続されている。

【0505】トランジスタ Tr_6 のゲートは、トランジスタ Tr_1 及び Tr_2 のゲートに接続されている。そしてトランジスタ Tr_6 のソースとドレインは、一方はトランジスタ Tr_1 のドレインに、もう一方はトランジスタ Tr_5 のソースまたはドレインに接続されている。

【0506】トランジスタ Tr_1 とトランジスタ Tr_2 のゲートは、互いに接続されている。トランジスタ Tr_1 とトランジスタ Tr_2 のソースは、共に発光素子 760 の画素電極に接続されている。

【0507】保持容量 761 が有する2つの電極は、一方はトランジスタ Tr_1 とトランジスタ Tr_2 のゲートに、もう一方は発光素子 760 の画素電極に接続されている。

【0508】電源線 V_i の電圧（電源電圧）は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0509】なお、トランジスタ Tr_1 及び Tr_2 は n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。ただし、トランジスタ Tr_1 及び Tr_2 の極性は同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ Tr_1 及び Tr_2 は n チャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ Tr_1 及び Tr_2 は p チャネル型トランジスタであるのが望ましい。

【0510】トランジスタ Tr_3 、 Tr_4 、 Tr_5 、 Tr_6 は、 n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。

【0511】図32に示した画素を有する発光装置の動作は、図3に示した画素の場合と同様に、書き込み期間 T_a と表示期間 T_d とに分けて説明することが可能である。また、第1～3走査線に印加される電圧については、図4に示したタイミングチャートを参照することができる。また図33は、図32に示した画素の、書き込み期間 T_a と表示期間 T_d におけるトランジスタ Tr_1 とトランジスタ Tr_2 の接続を、簡単に示した図である。

【0512】書き込み期間 T_a が開始されると、第1走査線 G 、第2走査線 P が選択される。よって、トランジスタ Tr_3 とトランジスタ Tr_4 がオンになる。なお、第3走査線 R は選択されていないので、トランジスタ Tr_5 はオフになっている。

【0513】そして、信号線駆動回路 102 に入力されるビデオ信号に基づき、信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ の間に、それぞれビデオ信号に応じた信号電流 I_c が流れる。

【0514】図33(A)に、書き込み期間 T_a において、信号線 S_i にビデオ信号に応じた信号電流 I_c が流れた場合の、画素 101 の概略図を示す。766 は対向電極に電圧を与える電源との接続用の端子を意味している。また、765 は信号線駆動回路 102 が有する定電流源を意味する。

【0515】トランジスタ Tr_3 はオンの状態にあるので、信号線 S_i にビデオ信号に応じた信号電流 I_c が流れると、信号電流 I_c はトランジスタ Tr_1 のドレインとソースの間に流れる。このときトランジスタ Tr_1 は、ゲートとドレインが接続されているので飽和領域で動作しており、式1が成り立つ。よって、トランジスタ Tr_1 のゲート電圧 V_{gs} は電流値 I_c によって定まる。

【0516】そしてトランジスタ Tr_2 のゲートは、トランジスタ Tr_1 のゲートに接続されている。また、トランジスタ Tr_2 のソースは、トランジスタ Tr_1 のソースに接続されている。したがって、トランジスタ Tr_1 のゲート電圧は、そのままトランジスタ Tr_2 のゲート電圧となる。よって、トランジスタ Tr_2 のドレイン電流は、トランジスタ Tr_1 のドレイン電流に比例する。特に、 $\mu C_0 W/L$ 及び V_{th} が互いに等しいとき、トランジスタ Tr_1 とトランジスタ Tr_2 のドレイン電流は互いに等しくなり、 $I_2 = I_c$ となる。

【0517】そして、トランジスタ Tr_2 のドレイン電流 I_2 は発光素子 760 に流れる。発光素子に流れる電流は、定電流源 765 において定められた信号電流 I_c に応じた大きさであり、流れる電流の大きさに見合った輝度で発光素子 760 は発光する。発光素子に流れる電流が0に限りなく近かったり、発光素子に流れる電流が逆バイアスの方向に流れたりする場合は、発光素子 760 は発光しない。

【0518】書き込み期間 T_a が終了すると、第1走査線 G 、第2走査線 P の選択が終了する。このとき、第2走査線 P の選択が、第1走査線 G よりも先に終了するのが望ましい。なぜならトランジスタ Tr_3 が先にオフになってしまうと、保持容量 761 の電荷が Tr_4 を通って漏れてしまうからである。

【0519】書き込み期間 T_a が終了すると、次に表示期間 T_d が開始される。表示期間 T_d が開始されると、第3走査線 R が選択されトランジスタ Tr_5 がオンになる。なお、第1走査線 G 及び第2走査線 P は選択されて

いないので、トランジスタ $T_r 3$ 及び $T_r 4$ はオフになっている。

【0520】図 33 (B) に、表示期間 T_d における画素の概略図を示す。トランジスタ $T_r 3$ 及びトランジスタ $T_r 4$ はオフの状態にある。また、トランジスタ $T_r 1$ 及びトランジスタ $T_r 2$ のソースは発光素子 760 の画素電極に接続されている。

【0521】一方トランジスタ $T_r 1$ 、 $T_r 2$ においては、書き込み期間 T_a において定められた V_{cs} がそのまま保持されている。さらに、トランジスタ $T_r 6$ のゲートはトランジスタ $T_r 1$ 及び $T_r 2$ のゲートと接続されている。そのため、トランジスタ $T_r 1$ のドレイン電流とトランジスタ $T_r 6$ のドレイン電流は同じ大きさに保たれる。そして、式 1 より、トランジスタ $T_r 1$ のドレイン電流は、トランジスタ $T_r 6$ のチャネル長及びチャネル幅に左右される。

【0522】上述したように、トランジスタ $T_r 1$ と $T_r 6$ のゲート電圧、移動度、単位面積あたりのゲート容量、閾値、チャネル幅が等しいと仮定すると、式 1 より式 2 が導き出される。

【0523】一方、トランジスタ $T_r 2$ のドレイン電流 I_{d2} の値は、信号電流 I_c に応じた大きさに維持されたままである。

【0524】そして、トランジスタ $T_r 5$ がオンなので、トランジスタ $T_r 1$ 及び $T_r 6$ のドレイン電流 I_{d1} と、トランジスタ $T_r 2$ のドレイン電流 I_{d2} は、共に発光素子 760 に流れる。よって、ドレイン電流 I_{d1} と、ドレイン電流 I_{d2} を合わせた電流の大きさに見合った輝度で、発光素子 760 は発光する。

【0525】そして 1 ライン目の画素において表示期間 T_d が開始されると、次に 2 ライン目の画素において表示期間 T_d が開始される。そして 1 ライン目の画素と同様に、第 3 走査線 R_2 が選択され、トランジスタ $T_r 5$ 、 $T_r 6$ がオンになる。なお、第 1 走査線 G_2 及び第 2 走査線 P_2 は選択されていないので、トランジスタ $T_r 3$ 及び $T_r 4$ はオフになっている。よって、ドレイン電流 I_{d1} と、ドレイン電流 I_{d2} を合わせた電流の大きさに見合った輝度で、発光素子 760 は発光する。

【0526】そして、2 ライン目の画素において表示期間 T_d が開始されると、3 ライン目から y ライン目の画素まで順に表示期間 T_d が開始され、上述した動作が繰り返される。

【0527】書き込み期間 T_a と、表示期間 T_d が終了すると 1 フレーム期間が終了する。1 つのフレーム期間において 1 つの画像が表示される。そして、次のフレーム期間が開始され、再び書き込み期間 T_a が開始されて、上述した動作が繰り返される。

【0528】なお、発光素子に流れる電流の大きさに見合った輝度で発光素子 760 が発光するので、各画素の階調は、表示期間 T_d における発光素子に流れる電流の

大きさに決まる。

【0529】本発明の画素では、表示期間において発光素子に流れる電流はドレイン電流 I_{d1} と、ドレイン電流 I_{d2} の和である。よって、発光素子に流れる電流がドレイン電流 I_{d1} のみに依存していない。そのため、トランジスタ $T_r 1$ とトランジスタ $T_r 2$ の特性がずれて、トランジスタ $T_r 2$ のドレイン電流 I_{d2} と信号電流 I_c の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0530】また、本発明の画素では、書き込み期間 T_a においてトランジスタ $T_r 1$ のドレイン電流は発光素子に流れていない。よって信号線駆動回路によって画素に電流が供給され、トランジスタ $T_r 1$ のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0531】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、TFT の特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図 25 に示した電圧入力型の画素の TFT 51 を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0532】さらに、本実施例の画素では、図 2、図 5、図 7、図 9、図 10 及び図 11 に示した画素に比べて、書き込み期間におけるトランジスタ $T_r 1$ のドレイン電流よりも、表示期間における $T_r 1$ のドレイン電流が小さいため、信号電流 I_c に対する発光素子に流れる電流の比が小さくなる。よって、信号電流 I_c をより大きくすることができるので、雑音の影響を受けにくい。

【0533】なお、本実施例において、トランジスタ $T_r 4$ のソースとドレインは、一方はトランジスタ $T_r 1$ のドレインに、もう一方はトランジスタ $T_r 1$ のゲート及びトランジスタ $T_r 2$ のゲートに接続されている。しかし本実施例はこの構成に限定されない。本発明の画素は、書き込み期間 T_a においてトランジスタ $T_r 1$ のゲートとドレインを接続し、表示期間においてトランジスタ $T_r 1$ のゲートとドレインを切り離すことができるように、トランジスタ $T_r 4$ が他の素子または配線と接続されていれば良い。

【0534】また本実施例において、トランジスタ $T_r 5$ のソースとドレインは、一方は $T_r 2$ のドレインに、

10

20

30

40

50

もう一方はTr 6のソースまたはドレインに接続されている。しかし本実施例はこの構成に限定されない。本発明の画素は、書き込み期間TaにおいてトランジスタTr 2のドレインと画素電極とを切り離し、表示期間においてトランジスタTr 2のドレインと電源線Viとを接続することができるように、トランジスタTr 5が他の素子または配線と接続されていれば良い。

【0535】つまり、Tr 3、Tr 4、Tr 5、Tr 6は、Taでは図31(A)のように接続され、Tdでは図31(B)のように接続されていれば良い。また、G

【0536】つまり、TaにおいてTr 1を流れる電流は全て電流源で制御されていれば良い。TdにおいてはTr 1とTr 2を流れる電流は発光素子に流れれば良い。

【0537】なお、本実施例の構成は、実施例4～実施例12のいずれの構成とも自由に組み合わせて実施することが可能である。

【0538】(実施例14) 本実施例では、図2に示した発光装置が有する画素101の構成について説明する。

【0539】図34に、図2で示した画素101の詳細な構成を示す。図34に示す画素101は、信号線Si (S1～Sxのうちの1つ)、第1走査線Gj (G1～Gyのうちの1つ)、第2走査線Pj (P1～Pyのうちの1つ)、第3走査線Rj (R1～Ryのうちの1つ) 及び電源線Vi (V1～Vxのうちの1つ) を有している。

【0540】また画素101は、トランジスタTr 1、トランジスタTr 2、トランジスタTr 3、トランジスタTr 4、トランジスタTr 5、発光素子780及び保持容量781を有している。保持容量781はトランジスタTr 1及びTr 2のゲートとソースの間の電圧(ゲート電圧)をより確実に保持するために設けられているが、必ずしも設ける必要はない。

【0541】トランジスタTr 3のゲートは第1走査線Gjに接続されている。そしてトランジスタTr 3のソースとドレインは、一方は信号線Siに接続されており、もう一方はトランジスタTr 1のソースに接続されている。

【0542】トランジスタTr 4のゲートは、第2走査線Pjに接続されている。そしてトランジスタTr 4のソースとドレインは、一方はトランジスタTr 1のドレインに、もう一方はトランジスタTr 1及びTr 2のゲートに接続されている。

【0543】トランジスタTr 5のゲートは、第3走査線Rjに接続されている。そしてトランジスタTr 5のソースとドレインは、一方はトランジスタTr 2のソース及び発光素子780の画素電極に、もう一方はトラン

ジスタTr 1のソースに接続されている。

【0544】トランジスタTr 1とトランジスタTr 2のゲートは、互いに接続されている。トランジスタTr 2のソースは、発光素子780の画素電極に接続されている。トランジスタTr 1とトランジスタTr 2のドレインは、共に電源線Viに接続されている。

【0545】保持容量781が有する2つの電極は、一方はトランジスタTr 1とトランジスタTr 2のゲートに、もう一方はTr 1のソースの画素電極に接続されている。

【0546】電源線Viの電圧(電源電圧)は一定の高さに保たれている。また対向電極の電圧も、一定の高さに保たれている。

【0547】なお、トランジスタTr 1及びTr 2はnチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr 1及びTr 2の極性は同じである。なお、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr 1及びTr 2はnチャネル型トランジスタであるのが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr 1及びTr 2はpチャネル型トランジスタであるのが望ましい。

【0548】トランジスタTr 3、Tr 4、Tr 5は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。

【0549】図34に示した画素を有する発光装置の動作は、図3に示した画素の場合と同様に、書き込み期間Taと表示期間Tdとに分けて説明することが可能である。また、第1～3走査線に印加される電圧については、図4に示したタイミングチャートを参照することができる。また図35は、図34に示した画素の、書き込み期間Taと表示期間TdにおけるトランジスタTr 1とトランジスタTr 2の接続を、簡単に示した図である。

【0550】書き込み期間Taが開始されると、第1走査線G、第2走査線Pが選択される。よって、トランジスタTr 3とトランジスタTr 4がオンになる。なお、第3走査線Rは選択されていないので、トランジスタTr 5はオフになっている。

【0551】そして、信号線駆動回路102に入力されるビデオ信号に基づき、信号線S1～Sxと電源線V1～Vxの間に、それぞれビデオ信号に応じた信号電流Icが流れる。

【0552】図35(A)に、書き込み期間Taにおいて、信号線Siにビデオ信号に応じた信号電流Icが流れた場合の、画素101の概略図を示す。786は対向電極に電圧を与える電源との接続用の端子を意味している。また、787は信号線駆動回路102が有する定電流源を意味する。

【0553】トランジスタTr 3はオンの状態にあるの

で、信号線 S_i にビデオ信号に応じた信号電流 I_c が流れると、信号電流 I_c はトランジスタ T_{r1} のドレインとソースの間に流れる。このときトランジスタ T_{r1} は、ゲートとドレインが接続されているので飽和領域で動作しており、式 1 が成り立つ。よって、トランジスタ T_{r1} のゲート電圧 V_{gs} は電流値 I_c によって定まる。

【0554】そしてトランジスタ T_{r2} のゲートは、トランジスタ T_{r1} のゲートに接続されている。

【0555】書き込み期間 T_a が終了すると、第 1 走査線 G 、第 2 走査線 P の選択が終了する。このとき、第 2 走査線 P の選択が、第 1 走査線 G よりも先に終了するのが望ましい。なぜならトランジスタ T_{r3} が先にオフになってしまうと、保持容量 781 の電荷が T_{r4} を通って漏れてしまうからである。

【0556】書き込み期間 T_a が終了すると、次に表示期間 T_d が開始される。表示期間 T_d が開始されると、第 3 走査線 R が選択されトランジスタ T_{r5} がオンになる。なお、第 1 走査線 G 及び第 2 走査線 P は選択されていないので、トランジスタ T_{r3} 及び T_{r4} はオフになっている。

【0557】図 35 (B) に、表示期間 T_d における画素の概略図を示す。トランジスタ T_{r3} 及びトランジスタ T_{r4} はオフの状態にある。また、トランジスタ T_{r1} 及びトランジスタ T_{r2} のソースは発光素子 780 の画素電極に接続されている。

【0558】一方トランジスタ T_{r1} 、 T_{r2} においては、書き込み期間 T_a において定められた V_{gs} がそのまま保持されている。そして、トランジスタ T_{r2} のゲートは、トランジスタ T_{r1} のゲートに接続されている。また、トランジスタ T_{r2} のソースは、トランジスタ T_{r1} のソースに接続されている。よって、トランジスタ T_{r1} のゲート電圧は、そのままトランジスタ T_{r2} のゲート電圧となる。さらに、トランジスタ T_{r1} のドレイン及びトランジスタ T_{r2} のドレインは電源線 V_i に接続されているので、トランジスタ T_{r2} のドレイン電流 I_d は、トランジスタ T_{r1} のドレイン電流 I_i に比例する大きさになる。特に、 $\mu C_s W/L$ 及び V_{th} が互いに等しいとき、トランジスタ T_{r1} とトランジスタ T_{r2} のドレイン電流は互いに等しくなり、 $I_i = I_d = I_c$ となる。

【0559】また、トランジスタ T_{r5} がオンなので、トランジスタ T_{r1} のドレイン電流 I_i と、トランジスタ T_{r2} のドレイン電流 I_d は、共に発光素子に流れる電流として発光素子 780 に流れる。よって、表示期間 T_d では、ドレイン電流 I_i と、ドレイン電流 I_d を合わせた大きさの電流が発光素子 780 に流れ、該発光素子に流れる電流の大きさに見合った輝度で、発光素子 780 が発光する。

【0560】そして 1 ライン目の画素において表示期間 T_d が開始されると、次に 2 ライン目の画素において表

示期間 T_d が開始される。そして 1 ライン目の画素と同様に、第 3 走査線 R が選択され、トランジスタ T_{r5} がオンになる。なお、第 1 走査線 G 2 及び第 2 走査線 P 2 は選択されていないので、トランジスタ T_{r3} 及び T_{r4} はオフになっている。よって、ドレイン電流 I_i と、ドレイン電流 I_d を合わせた電流の大きさに見合った輝度で、発光素子 780 は発光する。

【0561】そして、2 ライン目の画素において表示期間 T_d が開始されると、3 ライン目から y ライン目の画素まで順に表示期間 T_d が開始され、上述した動作が繰り返される。

【0562】書き込み期間 T_a と、表示期間 T_d が終了すると 1 フレーム期間が終了する。1 つのフレーム期間において 1 つの画像が表示される。そして、次のフレーム期間が開始され、再び書き込み期間 T_a が開始されて、上述した動作が繰り返される。

【0563】なお、発光素子に流れる電流の大きさに見合った輝度で発光素子 780 が発光するので、各画素の階調は、表示期間 T_d における発光素子に流れる電流の大きさで決まる。なお、書き込み期間 T_a においても、 T_{r2} のドレイン電流の大きさに見合った輝度で発光しているが、その階調に与える影響は、実際のパネルでは無視できる程度に小さいと考えられる。なぜなら、例えば VGA だと 480 ラインの画素が画素部に設けられており、1 ラインの画素の書き込み期間 T_a は 1 フレーム期間の $1/480$ 程度と非常に小さいからである。

【0564】本発明の画素では、表示期間において発光素子に流れる電流はドレイン電流 I_i と、ドレイン電流 I_d の和である。よって、発光素子に流れる電流がドレイン電流 I_i のみに依存していない。そのため、トランジスタ T_{r1} とトランジスタ T_{r2} の特性がずれて、トランジスタ T_{r2} のドレイン電流 I_d と信号電流 I_c の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0565】また、本発明の画素では、書き込み期間 T_a においてトランジスタ T_{r1} のドレイン電流は発光素子に流れていない。よって信号線駆動回路によって画素に電流が供給され、トランジスタ T_{r1} のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0566】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、 $TFET$ の特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図 25 に示した電圧入力型の画

素の TFT51 を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【0567】なお、本実施例において、トランジスタ Tr4 のソースとドレインは、一方はトランジスタ Tr1 のドレインに、もう一方はトランジスタ Tr1 のゲート及びトランジスタ Tr2 のゲートに接続されている。しかし本実施例はこの構成に限定されない。本発明の画素は、書き込み期間 Ta においてトランジスタ Tr1 のゲートとドレインを接続し、表示期間においてトランジスタ Tr1 のゲートとドレインを切り離すことができるように、トランジスタ Tr4 が他の素子または配線と接続されていれば良い。

【0568】また本実施例において、トランジスタ Tr5 のソースとドレインは、一方は Tr2 のソースに、もう一方は Tr1 のソースに接続されている。しかし本実施例はこの構成に限定されない。本発明の画素は、書き込み期間 Ta においてトランジスタ Tr1 のソースと画素電極とを切り離し、表示期間においてトランジスタ Tr1 のソースと画素電極とを接続することができるように、トランジスタ Tr5 が他の素子または配線と接続されていれば良い。

【0569】つまり、Tr3、Tr4、Tr5 は、Ta では図 35 (A) のように接続され、Td では図 35 (B) のように接続されていれば良い。また、Gj、Pj、Rj は 3 本が別の配線となっているが、まとめて 1 本や 2 本にしても良い。

【0570】つまり、Ta において Tr1 を流れる電流は全て電流源で制御されていれば良い。Td においては Tr1 と Tr2 を流れる電流は発光素子に流れれば良い。

【0571】また、発光素子の画素電極を Tr2 のソースに接続するのではなく、Tr1 のソースに接続するようにしても良い。ただしこの場合、Tr1 のソースと画素電極とが書き込み期間において切り離され、表示期間において接続されるように、接続を制御する別途トランジスタを用意する必要がある。なおこの Tr1 のソースと画素電極の接続を制御するトランジスタを、Tr5 と異なる極性とし、互いのゲートを接続するようにしても良い。

【0572】なお、本実施例の構成は、実施例 4～実施例 13 のいずれの構成とも自由に組み合わせることで実施することが可能である。

【0573】

【発明の効果】本発明の第 1 の構成の画素では、表示期間において発光素子に流れる電流はドレイン電流 I_1

と、ドレイン電流 I_2 の和である。よって、発光素子に

流れる電流がドレイン電流 I_2 のみに依存していない。そのため、トランジスタ Tr1 とトランジスタ Tr2 の特性がずれて、トランジスタ Tr1 のドレイン電流 I_1 に対するトランジスタ Tr2 のドレイン電流 I_2 の比が画素間で異なっても、発光素子に流れる電流の値が画素間でずれるのを抑え、輝度のばらつきが視認されるのを防ぐことができる。

【0574】本発明の第 2 の構成の画素では、図 27 (A) に示した画素のように、第 1 の手段と第 2 の手段のいずれか一方の手段の特性がずれることにより、2 つの手段における特性のバランスが崩れ、駆動部から発光素子に供給される電流 I_2 の大きさが所望の値に保たれなくなることがある。しかし、2 つの変換部 A、B を共に用いることで変換された電圧を平均化することができ、そして駆動部から発光素子に供給される電流 I_2 は該平均化された電圧に応じた大きさであるので、特性のずれに起因する発光素子に供給される電流量のばらつきを、図 27 (A) に示した画素に比べ約半分程度に抑えることができる。よって、画素間の輝度のばらつきを抑えることができる。また、画素に供給された電流は、電流 I_2 よりも大きい。そのため、電流を書き込む時間を短くすることができる。

【0575】また、本発明の画素では、書き込み期間 Ta においてトランジスタ Tr1 のドレイン電流は発光素子に流れていない。よって信号線駆動回路によって画素に電流が供給され、トランジスタ Tr1 のドレイン電流が流れることでゲート電圧が変化しはじめてから、その値が安定するまでの時間は、発光素子の容量に左右されない。したがって、従来の画素と比べて、供給された電流から変換される電圧が早く安定するので、電流を書き込む時間を短くすることができ、動画表示において残像が視認されてしまうのを防ぐことができる。

【0576】また、従来と同様に、電流入力型の発光装置の利点も兼ね備えている。すなわち、TFT の特性が画素毎にばらついていても、電圧入力型の発光装置に比べて画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。また、図 25 に示した電圧入力型の画素の TFT51 を線形領域で動作させたときに比べて、発光素子の劣化による輝度の低下を抑えることができる。また、有機発光層の温度が外気温や発光パネル自身が発する熱等に左右されても、発光素子の輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。

【図面の簡単な説明】

【図 1】 本願の電流入力型の画素のブロック図。

【図 2】 本発明の発光装置の上面ブロック図。

【図 3】 本発明の発光装置の画素の回路図。

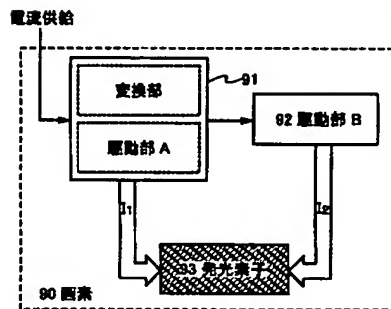
【図 4】 走査線に入力される信号のタイミングチャート。

【図 5】 駆動における画素の概略図。

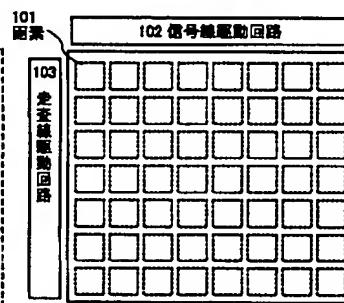
- 【図 6】 本発明の発光装置の画素の回路図。
 【図 7】 駆動における画素の概略図。
 【図 8】 本発明の発光装置の画素の回路図。
 【図 9】 駆動における画素の概略図。
 【図 10】 本発明の発光装置の画素の回路図。
 【図 11】 本発明の発光装置の画素の回路図。
 【図 12】 本発明の発光装置の画素の回路図。
 【図 13】 本発明の発光装置の作製方法を示す図。
 【図 14】 本発明の発光装置の作製方法を示す図。
 【図 15】 本発明の発光装置の作製方法を示す図。
 【図 16】 本発明の発光装置の作製方法を示す図。
 【図 17】 本発明の発光装置の画素の上面図。
 【図 18】 アナログ駆動法における信号線駆動回路の詳細図。
 【図 19】 走査線駆動回路のブロック図。
 【図 20】 デジタル駆動法における信号線駆動回路のブロック図。
 【図 21】 デジタル駆動法における信号線駆動回路の詳細図。

- 【図 22】 デジタル駆動法における電流設定回路の回路図。
 【図 23】 本発明の発光装置の外観図及び断面図。
 【図 24】 本発明の発光装置を用いた電子機器の図。
 【図 25】 電圧入力型の画素の回路図。
 【図 26】 従来の電流入力型の画素の回路図。
 【図 27】 従来の電流入力型の画素のブロック図。
 【図 28】 本発明の発光装置の画素の回路図。
 【図 29】 駆動における画素の概略図。
 【図 30】 本発明の発光装置の画素の回路図。
 【図 31】 駆動における画素の概略図。
 【図 32】 本発明の発光装置の画素の回路図。
 【図 33】 駆動における画素の概略図。
 【図 34】 本発明の発光装置の画素の回路図。
 【図 35】 駆動における画素の概略図。
 【図 36】 本願の電流入力型の画素のブロック図。
 【図 37】 駆動における画素の概略図。
 【図 38】 駆動における画素の概略図。

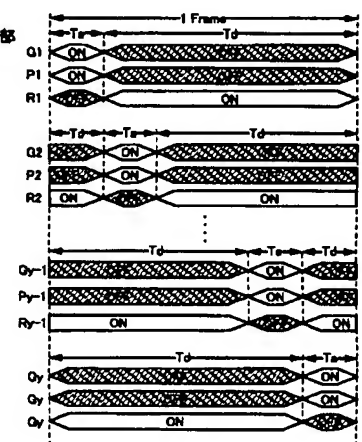
【図 1】



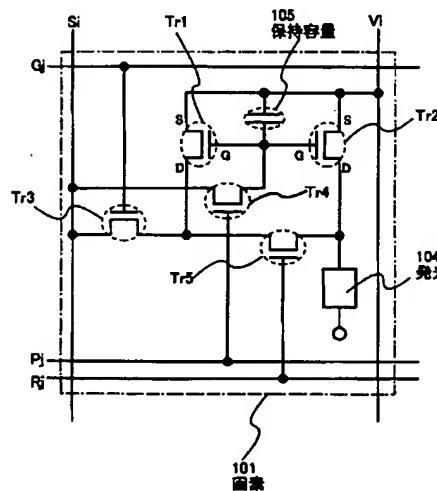
【図 2】



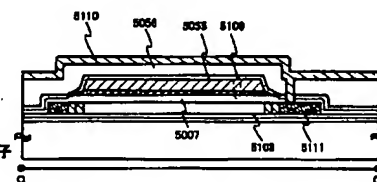
【図 4】



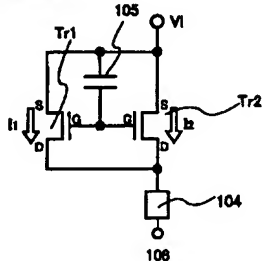
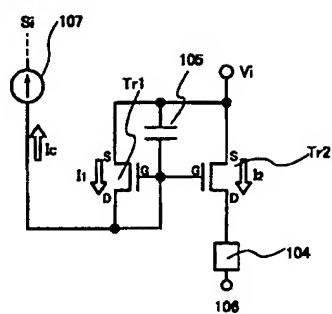
【図 3】



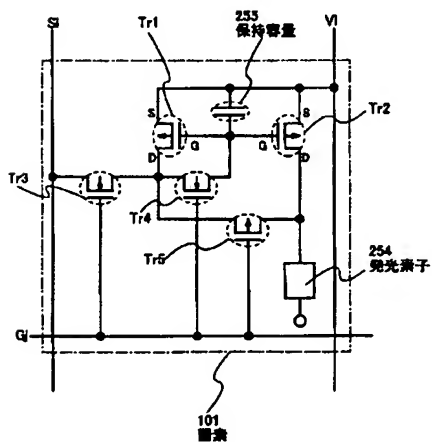
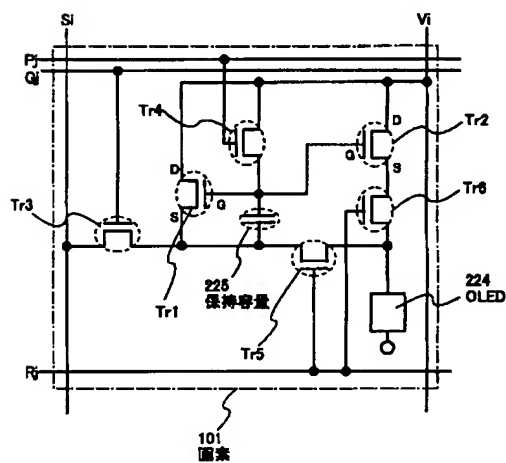
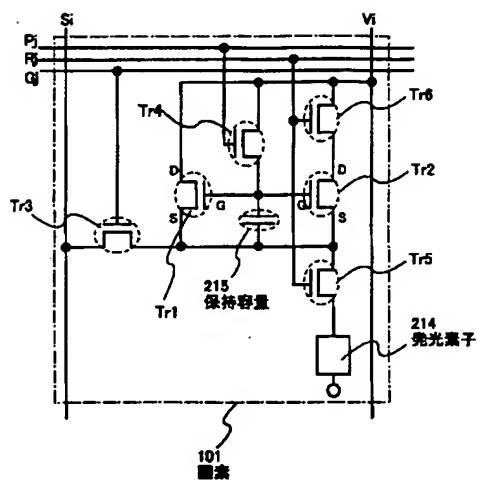
【図 16】



【図 6】

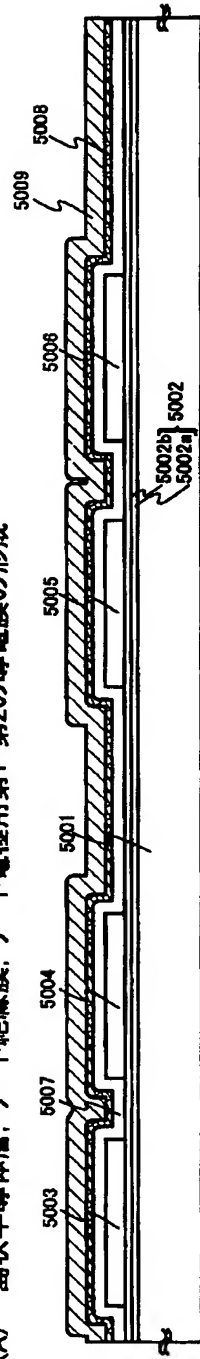


【图 8】

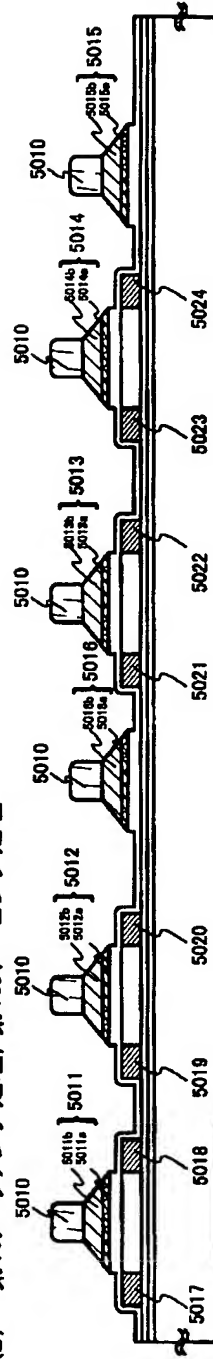


[図13]

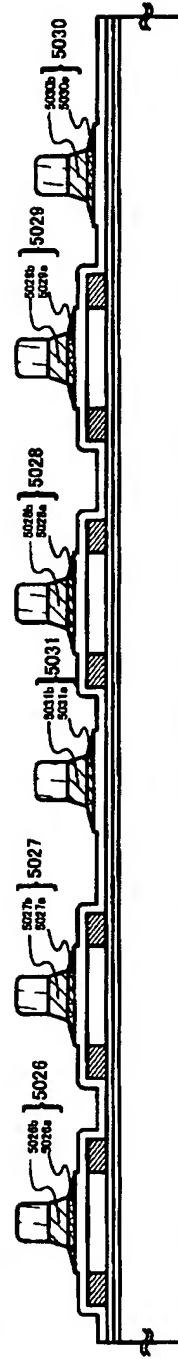
(A) 島状半導体層、ゲート絶縁膜、ゲート電極用第1・第2の導電膜の形成



(B) 第1のエッチング処理、第1のドーピング処理

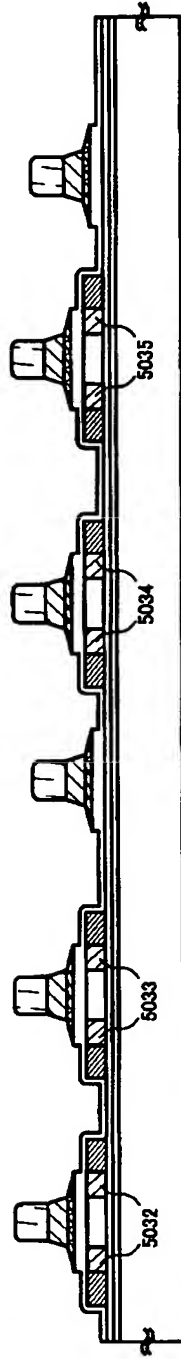


(C) 第2のエッチング処理

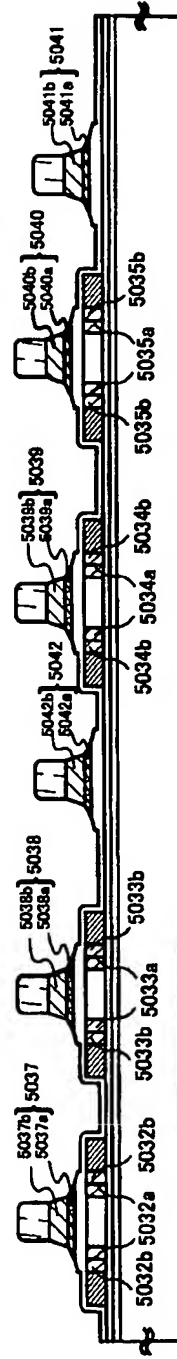


【図14】

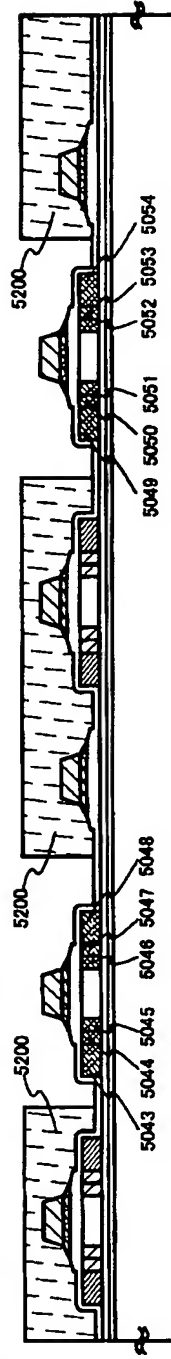
(A) 第2のドーピング処理



(B) 第3のエッチング処理

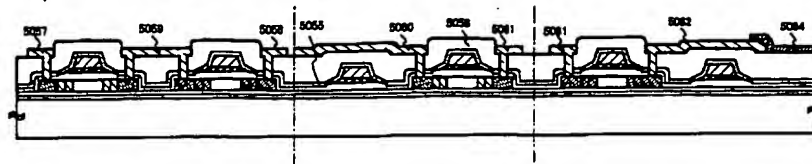


(C) 第3のドーピング処理

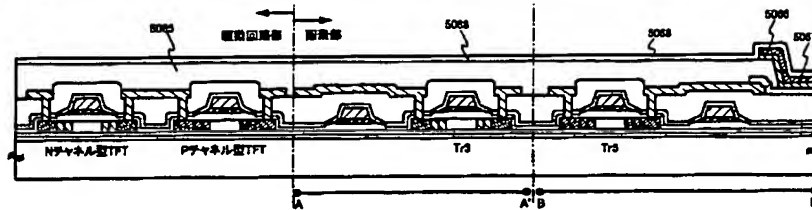


【図15】

(A) 第1, 第2の層間絶縁膜, 配線, 画素電極形成

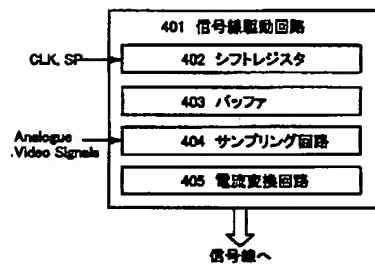


(B) 第3の層間絶縁膜, EL層, 陰極電極, パッシベーション膜形成

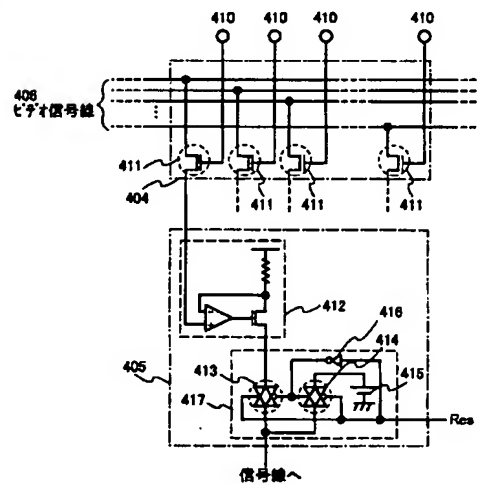


【図18】

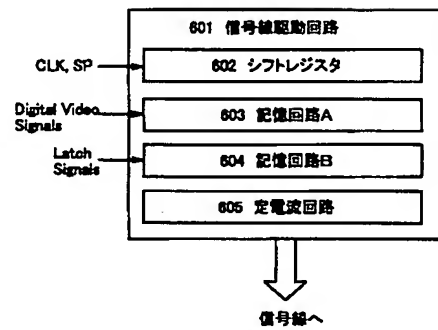
(A)



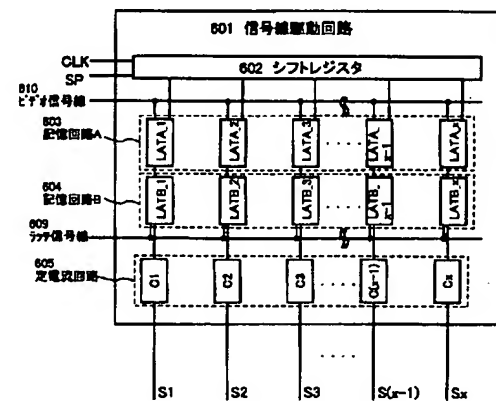
(B)



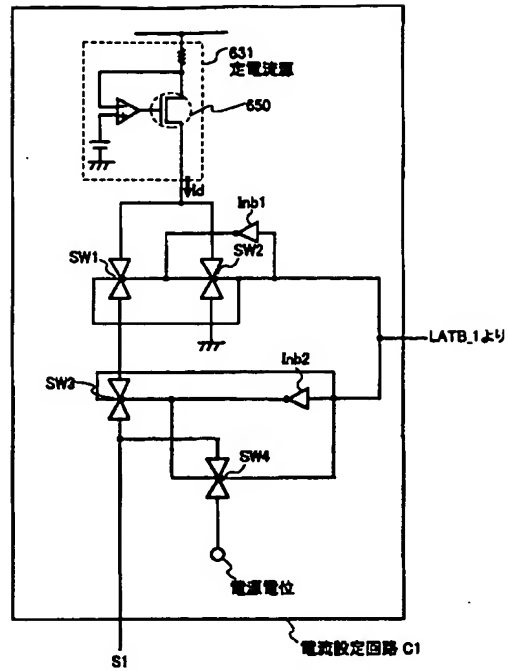
【図20】



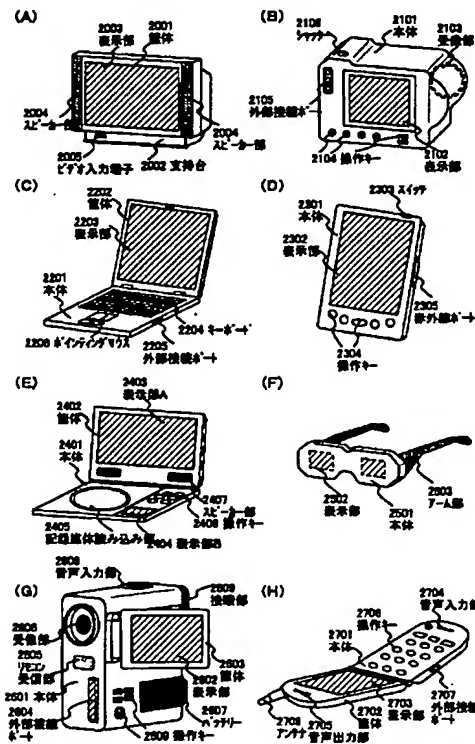
【図21】



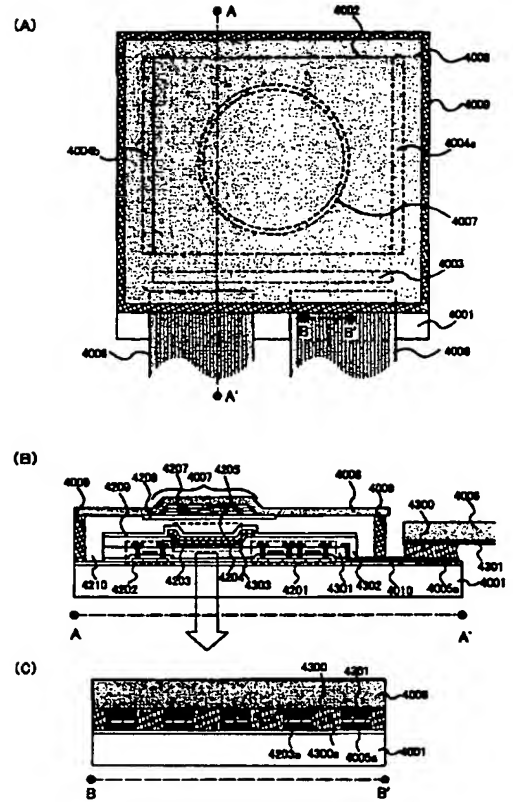
【☒ 2 2】



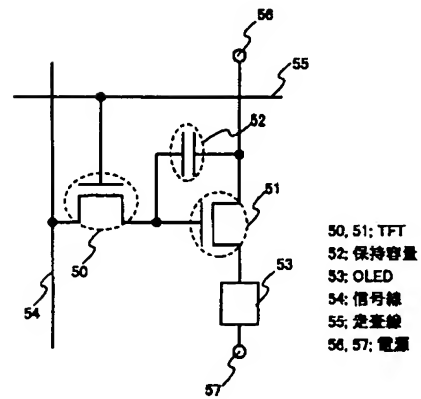
【图 2 4】



【图 2 3】

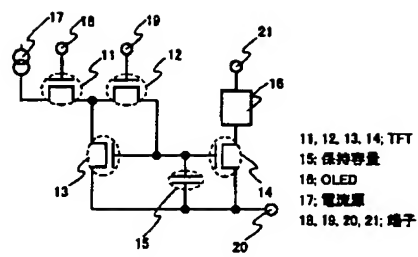


【図 25】

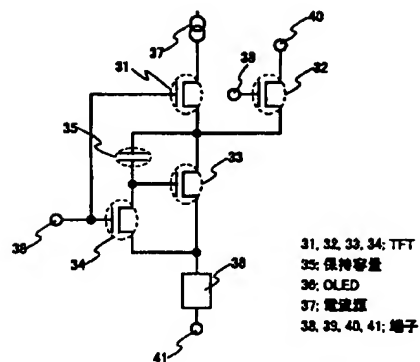


【图 26】

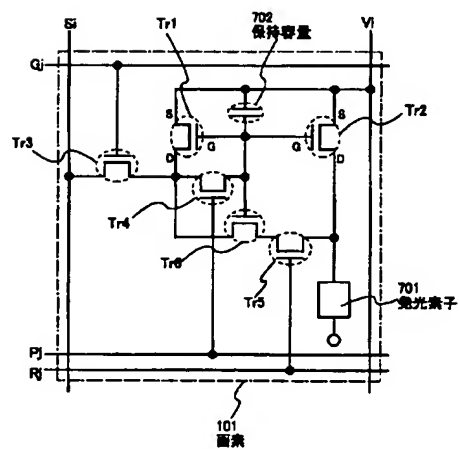
(A)



(B)

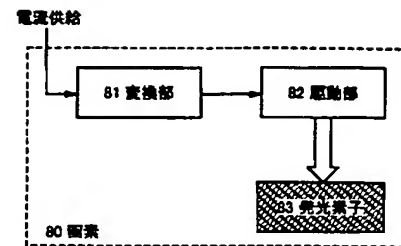


【图 28】

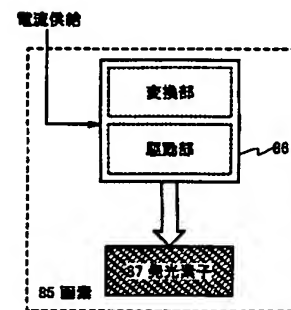


【图 27】

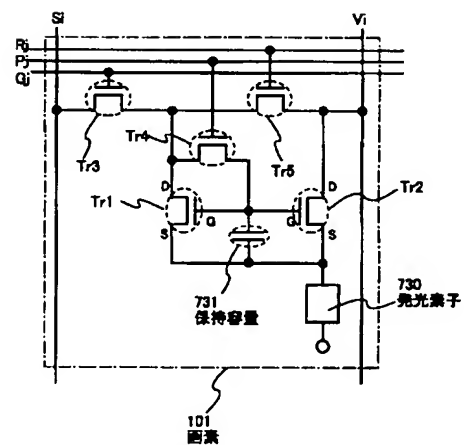
(A)



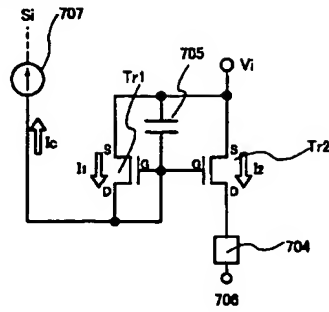
(B)



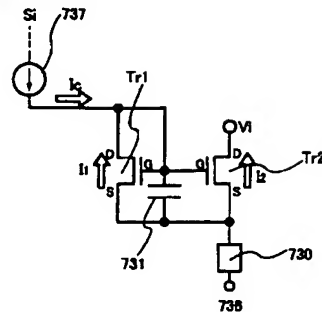
【図 30】



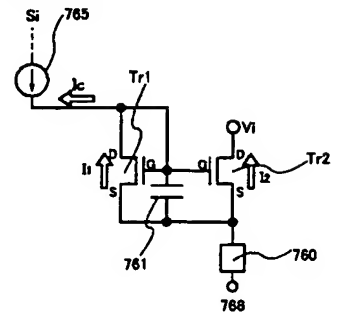
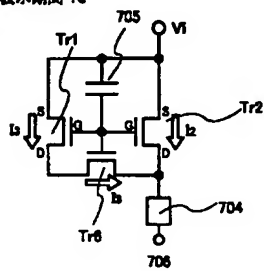
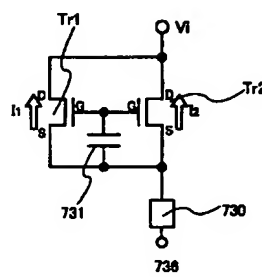
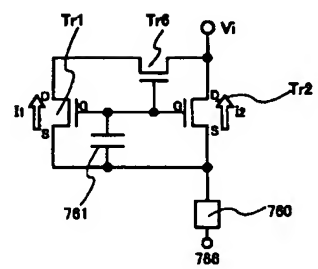
【図 29】

(A) 書き込み期間 T_w 

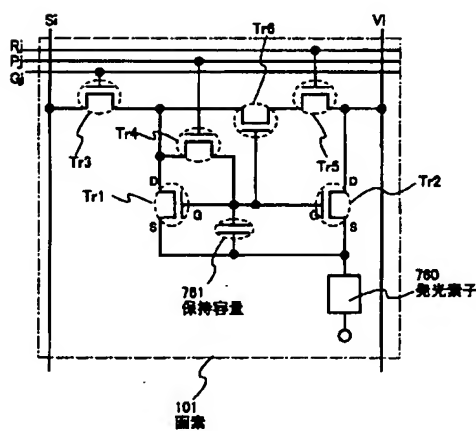
【図 31】

(A) 書き込み期間 T_w 

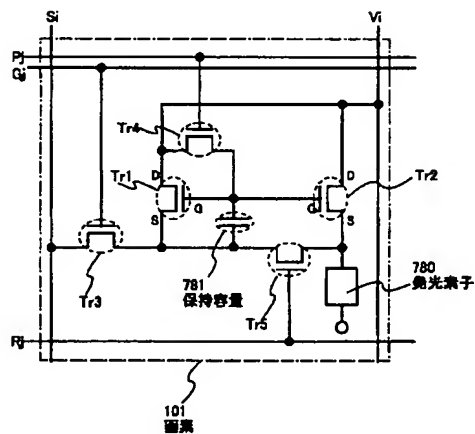
【図 33】

(A) 書き込み期間 T_w (B) 表示期間 T_d (B) 表示期間 T_d (B) 表示期間 T_d 

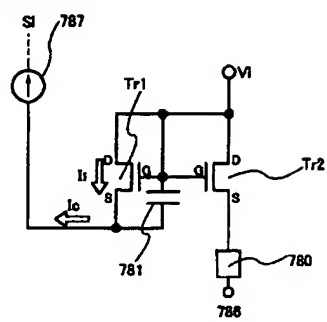
【図 32】



【図 34】

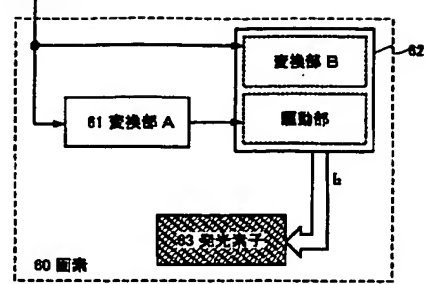


【図 35】

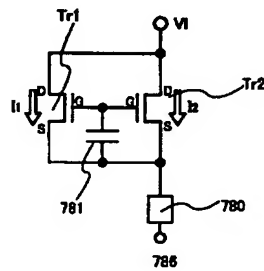
(A) 立ち上がり期間 T_a 

【図 36】

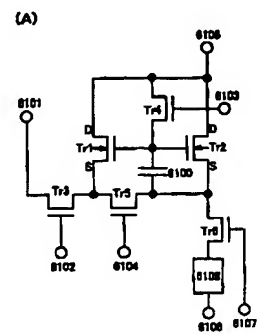
電流供給



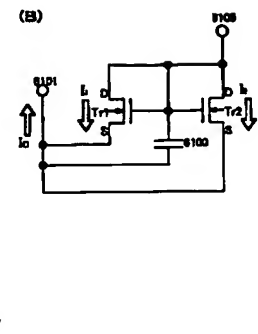
【図 38】

(B) 表示期間 T_d 

(A)

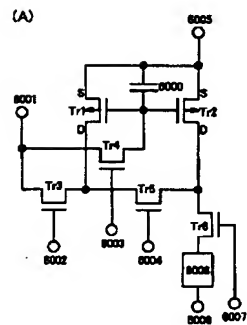


(B)

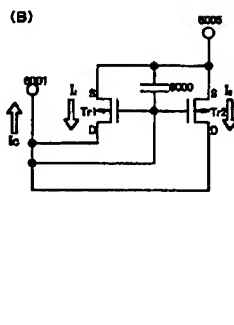


【図 37】

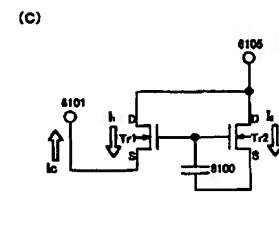
(A)



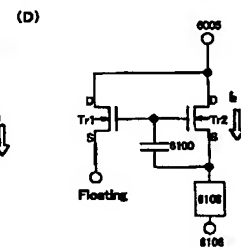
(B)



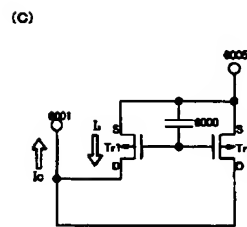
(C)



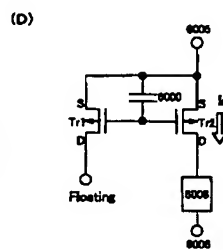
(D)



(C)



(D)



フロントページの続き

(51)Int. Cl. ⁷	識別記号	F I	テ-マコード (参考)
G 0 9 G 3/20	6 4 2	G 0 9 G 3/20	6 4 1 R
H 0 5 B 33/14		H 0 5 B 33/14	6 4 2 A A